

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-182390

(43)Date of publication of application : 30.06.2000

(51)Int.Cl. G11C 29/00

(21)Application number : 10-353100

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 11.12.1998

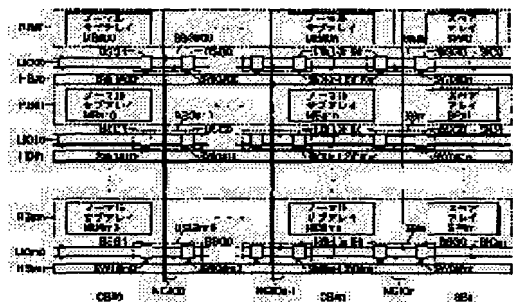
(72)Inventor : HIDAKA HIDETO

## (54) SEMICONDUCTOR MEMORY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress the increase of a chip area by permitting an  $i$ -th connection circuit to output a control signal so that one of  $i$ -th to  $(i+n-m)$ -th local data buses is connected to an  $i$ -th global data bus and first to  $m$ -th global data buses are connected to  $m$ -pieces of local data buses.

**SOLUTION:** Local data buses LIO<sub>i</sub>0-LIO<sub>i</sub>n are installed in accordance with sub-arrays MB#i0-MB#in and a spare local data bus SIO<sub>i</sub> ( $i=0-m$ ) is installed in accordance with a spare array SP#i. The local data buses LIO<sub>i</sub>0-LIO<sub>i</sub>n transfer data only with the corresponding sub-arrays MB#i0-MB#in and the spare local data buses SIO0-SIO<sub>m</sub> with the corresponding spare arrays SP#0-SP#m. The spray arrays SP#i are installed in the plural normal sub-arrays MB#i0-MB#in in common so as to improve the use efficiency of a spare string.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2000-182390  
(P2000-182390A)

(43)公開日 平成12年6月30日(2000.6.30)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
G 1 1 C 29/00	6 0 3	G 1 1 C 29/00	6 0 3 F 5 L 1 0 6
			6 0 3 Z

審査請求 未請求 請求項の数11 O L (全 24 頁)

(21)出願番号 特願平10-353100

(22)出願日 平成10年12月11日(1998.12.11)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 日高 秀人

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外3名)

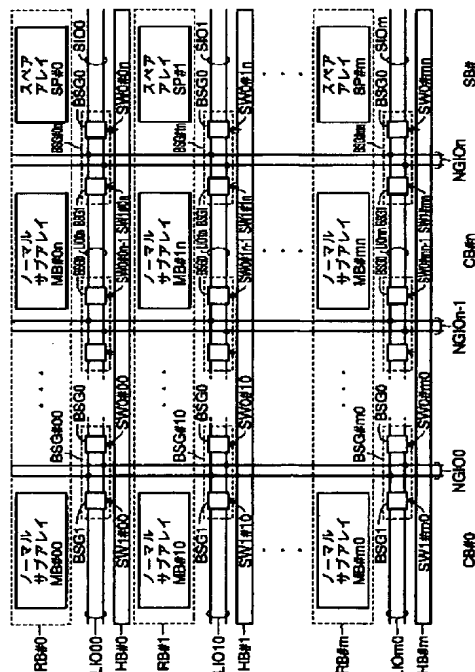
Fターム(参考) 5L106 AA01 CC17

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 多数ビットのデータバスを有し、不良列の置換をチップ面積の増加を抑えつつ実現する冗長回路構成を有する半導体記憶装置を提供する。

【解決手段】 各グローバルデータバスNGIO1~NGIONは両側に配置されるサブアレイに対応するローカルデータバスLIOのいずれかと接続回路BSG#によって選択的に接続される。各行ブロックRB#の間には接続回路BSG#の接続を制御する制御信号を出力する接続制御回路HB#が配置される。各接続制御回路は不良メモリセルを含むサブアレイの位置に対応するヒューズが切断されグローバルデータバスの順番入れ替えを伴わない列置換がされる。



## 【特許請求の範囲】

【請求項 1】 半導体基板の主表面上に形成される半導体記憶装置であって、  
各々が行列状に配列されたメモリセルを有する第 1～第  $n$  ( $n$  : 自然数) のメモリセルブロックと、  
前記第 1～第  $n$  のメモリセルブロックにそれぞれ対応して設けられる第 1～第  $n$  のローカルデータバスと、  
前記半導体記憶装置と記憶データを授受するための第 1～第  $m$  ( $m$  :  $n$  より小さい自然数) のグローバルデータバスと、  
前記第 1～第  $m$  のグローバルデータバスにそれぞれ対応して設けられる第 1～第  $m$  の接続回路とを備え、  
前記第  $i$  ( $i$  : 1～ $m$  の自然数) の接続回路は、第  $i$  の制御信号に応じて前記第  $i$ ～第  $(i+n-m)$  のローカルデータバスのいずれか一つを前記第  $i$  のグローバルデータバスと選択的に接続し、  
前記第 1～第  $m$  のグローバルデータバスが、前記第 1～第  $n$  のローカルデータバスのうち  $m$  個のローカルデータバスとそれぞれ接続されるように、前記第 1～第  $m$  の制御信号を出力する接続制御回路をさらに備える、半導体記憶装置。

【請求項 2】  $m=n-1$  であり、  
前記接続制御回路は、  
第  $u$  ( $u$  :  $n$  以下の自然数) のメモリセルブロックが不良メモリセルを含む時に、前記第 1～第  $(u-1)$  の接続回路が前記第 1～第  $(u-1)$  のローカルデータバスをそれぞれ前記第 1～第  $(u-1)$  のグローバルデータバスに接続するように前記第 1～第  $(u-1)$  の制御信号を出力し、前記第  $u$ ～第  $(n-1)$  の接続回路が前記第  $(u+1)$ ～第  $n$  のローカルデータバスをそれぞれ前記第  $u$ ～第  $n$  のグローバルデータバスに接続するように前記第  $u$ ～第  $(n-1)$  の制御信号を出力する、請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記主表面上において前記第 1～第  $n$  のメモリブロックが行方向に沿って順次並んで配置される第 1 のメモリブロック行と、  
各々が行列状に配列されたメモリセルを有する  $n$  個のメモリブロックが行方向に並んで配列される第 2 のメモリブロック行とをさらに備え、  
前記第 1 のメモリブロック行と前記第 2 のメモリブロック行とは、列方向に沿って並んで配置され、  
前記第  $j$  ( $j$  : 1～ $m$  の自然数) のローカルデータバスは、前記第 1 のメモリブロック行と前記第 2 のメモリブロック行との間の領域に前記第  $j$  のメモリブロックと隣接して配置され、  
前記接続制御回路は、前記第 1～第  $n$  のローカルデータバスと前記第 2 のメモリブロック行との間に配置され、  
前記第 1～第  $m$  のグローバルデータバスは前記第 1 および第 2 のメモリブロック行に共通して設けられ、前記第 1 および第 2 のメモリブロック行の上において列方向と

平行に順番に配列される、請求項 1 に記載の半導体記憶装置。

【請求項 4】  $m=n-1$  であり、  
前記接続制御回路は、  
前記第 1～第  $(n-1)$  の制御信号をそれぞれ出力する第 1～第  $(n-1)$  の出力ノードと、  
前記第 1 のノードと第 1 の電源電位となる第 1 の内部ノードとの間に接続される第 1 のヒューズ素子と、  
前記第  $k$  ( $k$  : 2～ $n$  の自然数) の出力ノードと第  $(k+1)$  の出力ノードとの間に接続される第  $k$  のヒューズ素子と、  
前記第  $(n-1)$  のノードと第 2 の電源電位となる第 2 の内部ノードとの間に接続される第  $n$  のヒューズ素子とを含み、  
前記不良メモリセルが存在するメモリブロックに対応して前記第 1～第  $n$  のヒューズ素子はいずれか一つが切断される、請求項 3 に記載の半導体記憶装置。

【請求項 5】  $m=n-1$  であり、前記第  $s$  ( $s$  : 1～ $n-1$  の自然数) のグローバルデータバスは、前記第  $s$  のメモリブロックと前記第  $s+1$  のメモリブロックとの境界部に沿うように配置される、請求項 3 に記載の半導体記憶装置。

【請求項 6】 アクセスされる可能性のある最大アドレスに対して冗長性を有するアドレスが割り当てられている、行列状に配列されたメモリセルを有するメモリセルアレイと、  
前記メモリセルのうち不良メモリセルに対応する不良アドレスが設定され、前記不良アドレスを出力するアドレスプログラム回路と、  
アクセスされるアクセスアドレスと前記不良アドレスとを比較し、大小判定を行なうアドレス比較回路と、  
前記アドレス比較回路の出力に応じて前記アクセスアドレスに一定値を加算し、変換アドレスを出力するアドレス加算回路とを備え、  
前記メモリセルアレイは、前記変換アドレスに応じて記憶データの授受を行ない、前記不良メモリセルのアクセス回避が行われる、半導体記憶装置。

【請求項 7】 前記アドレス比較回路は、  
前記アクセスアドレスの最上位ビットである第  $n$  ビットと前記不良アドレスの第  $n$  ビットとを比較し前記不良アドレスが“1”でかつ前記アクセスアドレスが“0”のとき“1”を出力する第  $n$  ビット比較回路と、  
前記アクセスアドレスの第  $(i+1)$  ( $i$  : 1～ $n-1$ ) ビット～第  $n$  ビットが前記不良アドレスの第  $(i+1)$  ビット～第  $n$  ビットとがすべて一致したときに、前記アクセスアドレスの第  $i$  ビットと前記不良アドレスの第  $i$  ビットとを比較し、前記不良アドレスが“1”でかつ前記アクセスアドレスが“0”のとき“1”を出力する第  $i$  ビット比較回路と、  
前記第 1～第  $n$  ビット比較回路の出力すべての否定和を出

力する NOR 回路とを含む、請求項 6 に記載の半導体記憶装置。

【請求項 8】 前記アドレス加算回路は、前記アクセスアドレスの第 1 ビットと前記アドレス比較回路の出力とを加算演算し、前記変換アドレスの第 1 ビットおよびキャリーを出力する第 1 の 1 ビット加算回路と、

前記アクセスアドレスの第  $i$  ( $i: 2 \sim n-1$  の自然数) ビットと前記第  $i-1$  の 1 ビット加算回路のキャリー出力とを加算演算し、前記変換アドレスの第  $i$  ビットおよびキャリーを出力する第  $i$  の 1 ビット加算回路と、前記アクセスアドレスの第  $n$  ビットと前記第  $n-1$  の 1 ビット加算回路のキャリー出力とを加算演算し、前記変換アドレスの第  $n$  ビットを出力するとともに、キャリーを前記変換アドレスの第  $n+1$  ビットとして出力する第  $n$  の 1 ビット加算回路とを含む、請求項 6 に記載の半導体記憶装置。

【請求項 9】 半導体基板の主表面上に形成される半導体記憶装置であって、

各々が行列状に配列されたメモリセルを有し、各々が独立して動作可能な第 1 ～第  $n$  ( $n: 2$  以上の自然数) のバンクと、

前記第 1 ～第  $n$  のバンクに共通して設けられるグローバルデータバスと、

前記第 1 ～第  $n$  のバンクと前記グローバルデータバスとの間でそれぞれデータ授受を行うための複数のローカルデータバスとを備え、

前記第 1 のバンクは、複数のノーマル行と、

前記第 1 ～第  $n$  のバンク中の不良メモリセルを含む不良行のいずれとも置換可能な複数のスペア行と、

前記複数のノーマル行および前記複数のスペア行に共通して設けられる複数のノーマルビット線対と、

前記複数のノーマルビット線対にそれぞれ生じる電位差を増幅する複数のセンスアンプと、

前記複数のビット線対のうちの 1 対を選択的に対応する前記ローカルデータバスに接続するゲート回路とを含み、

前記第 1 のバンクに対応して設けられるキャッシュブロックをさらに備え、

前記キャッシュブロックは、

前記第 1 のバンクの通常行およびスペア行の中から同時に 2 行がアクセスされた時に前記グローバルデータバスとの間でデータ授受が行われるキャッシュ行を含む、半導体記憶装置。

【請求項 10】 前記キャッシュブロックは、前記複数のノーマルビット線対に対応して設けられる複数のキャッシュビット線対をさらに含み、

前記キャッシュ行は、

前記複数のキャッシュビット線対にそれぞれ対応する複

数のキャッシュメモリセルを含み、

前記複数のノーマルビット線対と対応する前記複数のキャッシュビット線対とをそれぞれ接続する転送回路とをさらに備える、請求項 9 に記載の半導体記憶装置。

【請求項 11】 前記スペア行から対応する前記キャッシュ行にデータ転送時には、前記スペア行および前記センスアンプを活性化した後に、前記転送回路および前記キャッシュ行を活性化し、前記キャッシュ行から対応する前記スペア行にデータ転送時には、前記転送回路、前記キャッシュ行および前記センスアンプを活性化した後に、前記スペア行を活性化するバンクrow制御回路をさらに含む、請求項 10 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、より特定的には、ダイナミック型半導体記憶装置に関する。

【0002】

【従来の技術】半導体記憶装置においては、動作の高速化のために配線遅延の低減に有効なデータバスの構成がとられるようになってきた。

【0003】図 25 は、階層型のデータバスの構成を示す概念図である。この構成は、伊藤清男著の「超 LSI メモリ」、培風館、第 168 頁から第 169 頁において紹介されている。

【0004】図 25 を参照して、この半導体記憶装置にはメモリブロック #0 ～メモリブロック # $k-1$  が並んで配置されており、これらは共通する列デコーダ・ドライバによって列選択される。各メモリブロックにおいて、選択された列はそれぞれ対応するローカルデータバスに接続される。

【0005】図 25 では、メモリブロック # $k-1$  内部の選択された列がローカルデータバス I/O1 に接続され、ローカルデータバス I/O1 はメインデータバス I/O2 に接続される。そしてメインアンプ MA1 によってデータが増幅され、グローバルデータバス I/O3 へと伝達されメインアンプ MA2 によって外部に向けてさらに伝達される。

【0006】この構成の特徴は、ローカルデータバスを分割することによってブロック内のセンスアンプが駆動すべきデータバスの負荷容量を減らすことにより、ブロック内のセンスアンプの負荷駆動能力を増大させることなく高速化に対応できることである。

【0007】一方、半導体記憶装置においては、不良メモリセルが存在する場合、これを予備のメモリセルと置換することにより、等価的に不良メモリセルを救済し、製品歩留りを向上させることが図られている。このような不良メモリセル救済のための予備のメモリセル (スペアワード線およびスペアビット線) を設ける冗長回路構成において、スペアライン (ワード線またはビット線)

およびスペアラインを選択するためのスペアデコードの利用効率を改善するために、フレキシブル・リダンダンシ・技法が提案されている（たとえば、堀口等の“A Flexible Redundancy Technique for High-Density DRAM's”「高密度DRAMのためのフレキシブル・リダンダンシ・技法」、IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.26NO.1, pp12-17, JANUARY, 1991参照）。

【0008】図26は、従来のフレキシブルリダンダンシ構成を有する半導体記憶装置の全体の構成を概略的に示す図である。

【0009】図26を参照して、この半導体記憶装置は、4つのメモリアレイMA0～MA3を含む。メモリアレイMA0～MA3それぞれにおいて、不良メモリセル行を救済するためのスペアワード線が配置される。メモリアレイMA0においてはスペアワード線SW00およびSW01が配置され、メモリアレイMA1には、スペアワード線SW10およびSW11が配置される。メモリアレイMA2においてはスペアワード線SW20およびSW21が配置され、メモリアレイMA3にはスペアワード線SW30およびSW31が配置される。

【0010】メモリアレイMA0～MA3それぞれに対応して、アドレス指定された行に対応して配置されたノーマルワード線を選択状態へ駆動するためのロウデコードX0～X3が配置される。

【0011】メモリアレイMA0およびMA1の間に、コラムアドレス信号をデコードして、このアドレス指定された列を選択するためのコラムデコードY0が配置され、また、メモリアレイMA2およびMA3の間に、コラムデコードY1が配置される。

【0012】この半導体記憶装置は、さらに、不良メモリセルが存在するロウアドレスを記憶しその不良ロウアドレスがアドレス指定されたとき、この不良ロウアドレスに対応するワード線（不良ノーマルワード線）を非選択状態に保持し、かつ対応のスペアワード線を選択状態へと駆動するためのスペアデコードSD0～SD3と、スペアデコードSD0およびSD1の出力信号を受けるOR回路G0と、スペアデコードSD2およびSD3の出力信号を受けるOR回路G1とを含む。

【0013】OR回路G0およびG1の出力信号は、それぞれロウデコードX0～X3に含まれるスペアワード線駆動回路へ共通に与えられる。スペアデコードSD0～SD3へはそれぞれ、メモリアレイMA0～MA3の1つを指定するアレイアドレス信号ビットan-2およびan-1と、メモリアレイ内の行を指定するアレイ内アドレス信号ビットa0～an-3が共通に与えられる。

【0014】アレイアドレス信号ビットan-2およびan-1が与えられて対応のメモリアレイがアドレス指定されたときに、指定されたメモリアレイに対応するロウデコードX0～X3が活性化される。OR回路G0お

よびG1は、それぞれ、メモリアレイMA0～MA3にそれぞれ設けられた2本のスペアワード線に対応する。

【0015】ここで、メモリアレイMA0において、ノーマルワード線W0およびW1が不良であり、メモリアレイMA1におけるノーマルワード線W2が不良であり、またメモリアレイMA2におけるノーマルワード線W3が不良の場合を考える。

【0016】この状態においては、スペアデコードSD0にノーマルワード線W0のアドレスがプログラムされ、スペアデコードSD2にノーマルワード線W1のアドレスがプログラムされる。ノーマルワード線W2のアドレスが、スペアデコードSD3にプログラムされ、ノーマルワード線W3のアドレスが、スペアデコードSD1にプログラムされる。

【0017】OR回路G0の出力信号が、スペアワード線SW00、SW10、SW20およびSW30のいずれかを指定し、OR回路G1の出力信号が、スペアワード線SW01、SW11、SW21およびSW31のいずれかを選択する。

【0018】ノーマルワード線W0が指定されたときには、スペアデコードSD0の出力信号が選択状態へと駆動され、OR回路G0の出力信号が活性化される。この状態において、アレイアドレス信号ビットan-2およびan-1により、ロウデコードX0が活性化され、残りのロウデコードX1～X3は非活性化状態を維持する。

【0019】したがって、このロウデコードX0に含まれるワード線駆動回路が、OR回路G0の出力信号に従ってスペアワード線SW00を選択状態へと駆動する。このとき、ロウデコードX0において、ノーマルワード線W0に対応して設けられたデコード回路は非活性化状態に維持される。したがって、不良ノーマルワード線W0が、スペアワード線SW00に置換される。

【0020】同様に、不良ノーマルワード線W1、W2およびW3は、それぞれスペアワード線SW01、SW11およびSW20に置換される。

【0021】この図24に示すフレキシブルリダンダンシ構成の場合、1つのスペアワード線を、複数のスペアデコードのいずれかにより活性化することができる。たとえば、スペアワード線SW20は、スペアデコードSD0またはSD1により選択状態へと駆動される。

【0022】また、1つのスペアデコードは、複数のスペアワード線のいずれかを選択状態へと駆動することができる。たとえば、スペアデコードSD0は、スペアワード線SW00、SW10、SW20およびSW30のいずれかを選択状態へと駆動することができる。

【0023】したがって、スペアワード線とスペアデコードとの対応関係が1対1ではなく、スペアワード線およびスペアデコードの利用効率を改善することができる。

【0024】すなわち、スペアデコーダをメモリアレイに共通に設けることにより、スペアワード線それぞれに対応してスペアデコーダを設ける必要がなく、チップ占有面積の増大を抑制することが可能である。

#### 【0025】

【発明が解決しようとする課題】先に説明したような、階層型データバス構成のようなデータバス構成をとる場合には、不良ノーマル列をスペア列に置換することを考えると、ローカルデータバスが1つのメモリブロック内で分割されているためスペア列をどのように配置するかを検討する必要がある。

【0026】さらには、半導体記憶装置を1ブロックとして半導体記憶装置に取込むようなエンベッデッド用途（組み込み用途）においては、多数ビットのデータバスを用いてデータを転送する方が高速化が図れるため、データバスの本数が多くなる。このようにデータバスの本数が多い場合には、どのようにスペア列を配置するかが問題となっている。

【0027】また、先述のフレキシブルリダンダンシ構成においては、不良行の救済は、不良行を含むメモリアレイ内に配置されたスペアワード線を用いた置換により行なわれている。したがって、メモリアレイそれぞれにスペアワード線を配置する必要があり、スペアワード線の使用効率が悪いという問題がある。また、使用効率の改善のためにあるメモリアレイの不良ノーマルワード線を、別のメモリアレイのスペアワード線に置換すると、メモリアレイ系回路の制御が複雑となるため、避けるべきであるとして全く考慮されていない。

【0028】この発明の目的は、多数ビットのデータバスを有する半導体記憶装置の構成において、不良列の置換を行なう際に動作スピードおよび占有面積の両側面において有利な冗長回路構成を有する半導体記憶装置を提供することである。

【0029】この発明の他の目的は、不良行の救済において、スペアワード線の使用効率が改善された半導体記憶装置を提供することである。

#### 【0030】

【課題を解決するための手段】請求項1に記載の半導体記憶装置は、半導体基板の主表面上に形成される半導体記憶装置であって、各々が行列状に配列されたメモリセルを有する第1～第 $n$ （ $n$ ：自然数）のメモリセルブロックと、第1～第 $n$ のメモリセルブロックにそれぞれ対応して設けられる第1～第 $n$ のローカルデータバスと、半導体記憶装置と記憶データを授受するための第1～第 $m$ （ $m$ ： $n$ より小さい自然数）のグローバルデータバスと、第1～第 $m$ のグローバルデータバスにそれぞれ対応して設けられる第1～第 $m$ の接続回路とを備え、第 $i$

（ $i$ ：1～ $m$ の自然数）の接続回路は、第 $i$ の制御信号に応じて第 $i$ ～第（ $i+n-m$ ）のローカルデータバスのいずれか一つを第 $i$ のグローバルデータバスと選択的

に接続し、第1～第 $m$ のグローバルデータバスが、第1～第 $n$ のローカルデータバスのうち $m$ 個のローカルデータバスとそれぞれ接続されるように、第1～第 $m$ の制御信号を出力する接続制御回路をさらに備える。

【0031】請求項2に記載の半導体記憶装置は、請求項1に記載の半導体記憶装置の構成において、 $m=n-1$ であり、接続制御回路は、第 $u$ （ $u$ ： $n$ 以下の自然数）のメモリセルブロックが不良メモリセルを含む時に、第1～第（ $u-1$ ）の接続回路が第1～第（ $u-1$ ）のローカルデータバスをそれぞれ第1～第（ $u-1$ ）のグローバルデータバスに接続するように第1～第（ $u-1$ ）の制御信号を出力し、第 $u$ ～第（ $n-1$ ）の接続回路が第（ $u+1$ ）～第 $n$ のローカルデータバスをそれぞれ第 $u$ ～第 $n$ のグローバルデータバスに接続するように第 $u$ ～第（ $n-1$ ）の制御信号を出力する。

【0032】請求項3に記載の半導体記憶装置は、請求項1に記載の半導体記憶装置の構成に加えて、主表面上において第1～第 $n$ のメモリブロックが行方向に沿って順次並んで配置される第1のメモリブロック行と、各々が行列状に配列されたメモリセルを有する $n$ 個のメモリブロックが行方向に並んで配列される第2のメモリブロック行とをさらに備え、第1のメモリブロック行と第2のメモリブロック行とは、列方向に沿って並んで配置され、第 $j$ （ $j$ ：1～ $m$ の自然数）のローカルデータバスは、第1のメモリブロック行と第2のメモリブロック行との間の領域に第 $j$ のメモリブロックと隣接して配置され、接続制御回路は、第1～第 $n$ のローカルデータバスと第2のメモリブロック行との間に配置され、第1～第 $m$ のグローバルデータバスは第1および第2のメモリブロック行に共通して設けられ、第1および第2のメモリブロック行の上において列方向と平行に順番に配列される。

【0033】請求項4に記載の半導体記憶装置は、請求項3に記載の半導体記憶装置の構成に加えて、 $m=n-1$ であり、接続制御回路は、第1～第（ $n-1$ ）の制御信号をそれぞれ出力する第1～第（ $n-1$ ）の出力ノードと、第1のノードと第1の電源電位となる第1の内部ノードとの間に接続される第1のヒューズ素子と、第 $k$ （ $k$ ：2～ $n$ の自然数）の出力ノードと第（ $k+1$ ）の出力ノードとの間に接続される第 $k$ のヒューズ素子と、第（ $n-1$ ）のノードと第2の電源電位となる第2の内部ノードとの間に接続される第 $n$ のヒューズ素子とを含み、不良メモリセルが存在するメモリブロックに対応して第1～第 $n$ のヒューズ素子はいずれか一つが切断される。

【0034】請求項5に記載の半導体記憶装置は、請求項3に記載の半導体記憶装置の構成において、 $m=n-1$ であり、第 $s$ （ $s$ ：1～ $n-1$ の自然数）のグローバルデータバスは、第 $s$ のメモリブロックと第 $s+1$ のメモリブロックとの境界部に沿うように配置される。

【0035】請求項6に記載の半導体記憶装置は、アクセスされる可能性のある最大アドレスに対して冗長性を有するアドレスが割り当てられている、行列状に配列されたメモリセルを有するメモリセルアレイと、メモリセルのうち不良メモリセルに対応する不良アドレスが設定され、不良アドレスを出力するアドレスプログラム回路と、アクセスされるアクセスアドレスと不良アドレスとを比較し、大小判定を行なうアドレス比較回路と、アドレス比較回路の出力に応じてアクセスアドレスに一定値を加算し、変換アドレスを出力するアドレス加算回路とを備え、メモリセルアレイは、変換アドレスに応じて記憶データの授受を行ない、不良メモリセルのアクセス回避が行われる。

【0036】請求項7に記載の半導体記憶装置は、請求項6に記載の半導体記憶装置の構成に加えて、アドレス比較回路は、アクセスアドレスの最上位ビットである第 $n$ ビットと不良アドレスの第 $n$ ビットとを比較し不良アドレスが“1”でかつアクセスアドレスが“0”のとき“1”を出力する第 $n$ ビット比較回路と、アクセスアドレスの第 $(i+1)$  ( $i:1 \sim n-1$ ) ビット～第 $n$ ビットが不良アドレスの第 $(i+1)$  ビット～第 $n$ ビットとがすべて一致したときに、アクセスアドレスの第 $i$  ビットと不良アドレスの第 $i$  ビットとを比較し、不良アドレスが“1”でかつアクセスアドレスが“0”のとき“1”を出力する第 $i$  ビット比較回路と、第1～ $n$  ビット比較回路の出力すべての否定和を出力するNOR回路とを含む。

【0037】請求項8に記載の半導体記憶装置は、請求項6に記載の半導体記憶装置の構成に加えて、アドレス加算回路は、アクセスアドレスの第1ビットとアドレス比較回路の出力とを加算演算し、変換アドレスの第1ビットおよびキャリーを出力する第1の1ビット加算回路と、アクセスアドレスの第 $i$  ( $i:2 \sim n-1$  の自然数) ビットと第 $i-1$  の1ビット加算回路のキャリー出力とを加算演算し、変換アドレスの第 $i$  ビットおよびキャリーを出力する第 $i$  の1ビット加算回路と、アクセスアドレスの第 $n$  ビットと第 $n-1$  の1ビット加算回路のキャリー出力とを加算演算し、変換アドレスの第 $n$  ビットを出力するとともに、キャリーを変換アドレスの第 $n+1$  ビットとして出力する第 $n$  の1ビット加算回路とを含む。

【0038】請求項9に記載の半導体記憶装置は、半導体基板の主表面上に形成される半導体記憶装置であって、各々が行列状に配列されたメモリセルを有し、各々が独立して動作可能な第1～第 $n$  ( $n:2$  以上の自然数) のバンクと、第1～第 $n$  のバンクに共通して設けられるグローバルデータバスと、第1～第 $n$  のバンクとグローバルデータバスとの間でそれぞれデータ授受を行うための複数のローカルデータバスとを備え、第1のバンクは、複数のノーマル行と、第1～第 $n$  のバンク中の不

良メモリセルを含む不良行のいずれとも置換可能な複数のスペア行と、複数のノーマル行および複数のスペア行に共通して設けられる複数のノーマルビット線対と、複数のノーマルビット線対にそれぞれ生じる電位差を増幅する複数のセンスアンプと、複数のビット線対のうちの1対を選択的に対応するローカルデータバスに接続するゲート回路とを含み、第1のバンクに対応して設けられるキャッシュブロックをさらに備え、キャッシュブロックは、第1のバンクの通常行およびスペア行の中から同時に2行がアクセスされた時にグローバルデータバスとの間でデータ授受が行われるキャッシュ行を含む。

【0039】請求項10に記載の半導体記憶装置は、請求項9に記載の半導体記憶装置の構成に加えて、キャッシュブロックは、複数のノーマルビット線対に対応して設けられる複数のキャッシュビット線対をさらに含み、キャッシュ行は、複数のキャッシュビット線対にそれぞれ対応する複数のキャッシュメモリセルを含み、複数のノーマルビット線対と対応する複数のキャッシュビット線対とをそれぞれ接続する転送回路とをさらに備える。

【0040】請求項11に記載の半導体記憶装置は、請求項10に記載の半導体記憶装置の構成に加えて、スペア行から対応するキャッシュ行にデータ転送時には、スペア行およびセンスアンプを活性化した後に、転送回路およびキャッシュ行を活性化し、キャッシュ行から対応するスペア行にデータ転送時には、転送回路、キャッシュ行およびセンスアンプを活性化した後に、スペア行を活性化するバンクロー制御回路をさらに含む。

【0041】

【発明の実施の形態】以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【0042】〔実施の形態1〕図1は、本発明の実施の形態1の半導体記憶装置1000の構成を示す概略ブロック図である。

【0043】図1を参照して、半導体記憶装置1000はダブルデータレートのシンクロナスダイナミックランダムアクセスメモリ（以下DDR SDRAM）である。

【0044】半導体記憶装置1000は、全体の動作の基準となる相補なクロック信号CLK、 $\overline{\text{CLK}}$ を受ける端子P1、P2と、チップへの入力を可能とするクロックイネーブル信号CKEを受ける端子P3と、コマンドの入力を識別する信号CSを受ける端子P4と、ロウ系のコマンドが入力されたことを示す信号RASを受ける端子P5と、コラム系のコマンドが入力されたことを示す信号CASを受ける端子P6と、リード、ライトの識別信号である信号WEを受ける端子P7と、リードまたはライト時のデータの無効を識別するデータマスク信号DM0～DM3を入出力する端子群P8と、リードまたはライト時のデータのタイミングを識別する

データストロープ信号Q S 0 ~ Q S 3を入出力する端子群P 9と、入力信号のHレベル/Lレベルを判定する基準電位V r e fが入力される端子P 1 0と、アドレス信号A 0 ~ A 1 2が入力される端子群P 1 1と、内蔵するm個のメモリバンクのバンクアドレスB A 0 ~ B A 2を受ける端子群P 1 2と、nビットのデータの入出力信号D Q 0 ~ D Q nが入出力される端子群P 1 3とを備える。

【0045】イネーブル信号C K Eが活性化されていない間は半導体記憶装置1000は動作しない。この非活性期間中は、半導体記憶装置はスタンバイ状態か、セルフリフレッシュ状態となる。

【0046】信号/C Sが活性化されている間は、クロックの立上がりエッジにてコマンドが認識される。データマスク信号D M 0 ~ D M 2は、リード時にデータの無効を示す場合には、半導体記憶装置側からコントローラI Cへと伝達され、一方、ライト時にデータの無効を示す場合は、コントローラI C側から半導体記憶装置へと伝達される。データ入出力信号D Q 8個ごとに1個のデータマスク信号D Mが割当られる。

【0047】同様にデータストロープ信号Q Sは、リード時にはデータのタイミングを半導体記憶装置側からコントローラI Cへと伝達し、ライト時には、コントローラI C側から半導体記憶装置側へと伝達する。データ入出力信号D Q 8個ごとに1個のデータストロープ信号Q Sが割当てられる。

【0048】アドレス信号A 0 ~ A 1 2は、ロウアドレスの入力としては13ビットすべてが使用され、コラムアドレスの入力としては、13ビットのうち10ビットが使用される。また、モードレジスタへの書込用としてもアドレス信号の一部が使用される。

【0049】半導体記憶装置1000は、さらに、クロック信号C L K、/C L Kを受けて内部クロック信号i n t . C L Kを内部ブロックに供給するクロックドライバ26と、入力されるコマンドを認識するモードデコーダ2と、動作モードを保持するモードレジスタ16と、アドレス端子からロウアドレスを取込むロウアドレスラッチ8と、アドレス端子からコラムアドレスを取込むコラムアドレスラッチ12と、バンクアドレスからバンクアドレス信号を取込むバンクアドレスラッチ18と、バンクアドレスラッチ18の出力するバンクアドレスをデコードして対応するバンクを活性化するバンクデコーダ20とを含む。

【0050】半導体記憶装置1000は、さらに、リフレッシュ動作時にリフレッシュアドレスを発生するためのセルフリフレッシュタイマ4、リフレッシュアドレスカウンタ6と、ロウアドレスラッチ8の出力するアドレスとリフレッシュアドレスカウンタ6の出力するアドレスのいずれかを選択するマルチプレクサ24と、マルチプレクサ24の出力するアドレスを受けて対応する信号

をロウデコーダR Dに出力するロウブリデコーダ10と、バースト動作時に連続したコラムアドレスを発生するバーストアドレスカウンタ28と、バーストアドレスカウンタ28の出力するアドレスを受けて対応する信号をコラムデコーダC Dに出力するコラムブリデコーダ14とを含む。

【0051】半導体記憶装置1000は、さらに、データ端子群P 1 3とグローバルデータバスG - I / Oとの間でデータレートを変換しデータ授受を行なうデータ変換部22と、ロウブリデコーダ10、コラムブリデコーダ14およびバンクデコーダ20の出力に応じてグローバルデータバスG - I / Oとデータの授受を行なうm + 1個 (m : 自然数) のメモリバンクBANK 0 ~ BANK mとを含む。

【0052】図2は、階層型データバス構成の発展型である、多数ビットのデータバス系のアレイ部の構成を概略的に示す図である。

【0053】図2を参照して、メモリアレイは、複数のセンスアンプブロック (行ブロック) R B # 0 ~ R B # m (m : 自然数) に分割される。行ブロックR B # 0 ~ R B # mの各々は、複数のサブアレイに分割される。すなわち、行ブロックR B # i (i = 0 ~ m) は、ノーマルサブアレイM B # i 0 ~ M B # i n (n : 自然数) に分割される。これらのノーマルサブアレイM B # i 0 ~ M B # i nは、行列状に配列される複数のメモリセルを有する。

【0054】また、行ブロックR B # 0 ~ R B # mそれぞれにおいて、対応の行ブロックR B # 0 ~ R B # mの不良列 (不良ノーマルメモリセルを含む列) を置換により救済するために、スペアアレイS P # 0 ~ S P # mが設けられる。これらのスペアアレイS P # 0 ~ S P # mは、それぞれ複数列に配列されるメモリセル (スペアメモリセル) を有する。ここで、スペアアレイS P # 0 ~ S P # mの行の数は、ノーマルサブアレイに含まれる行の数と同じである。そして、各行ブロックR B # i (i = 0 ~ m) では、ノーマルサブアレイM B # i 0 ~ M B # i nおよびスペアアレイS P # iがワード線 (行) を共有しており、センスアンプブロック単位でセンス動作が行なわれる。

【0055】ノーマルサブアレイM B # 0 0 ~ M B # m nそれぞれに対応して、ノーマルローカルデータバスL I O 0 0 ~ L I O m nが設けられる。これらのノーマルローカルデータバスL I O 0 0 ~ L I O m nは、対応のノーマルサブアレイM B # 0 0 ~ M B # m nに対してのみそれぞれデータの授受を行なう。

【0056】列方向に沿って整列して配置されるノーマルサブアレイが列ブロックC B # 0 ~ C B # nを構成する。

【0057】スペアアレイS P # 0 ~ S P # mに対しても、それぞれスペアローカルデータバスS I O 0 ~ S I



O<sub>m</sub>が配置される。スペアアレイSP#0～SP#*m*は、列ブロックSB#を構成する。これらのスペアローカルデータバスSIO0～SIO<sub>m</sub>は、対応のスペアアレイSP#0～SP#*m*とのみそれぞれデータの授受を行なう。列方向に整列して配置されるノーマルサブアレイ、すなわち列ブロックCB#0～CB#*n*それぞれに対応して、ノーマルグローバルデータバスNGIO0～NGIO<sub>n</sub>が配置される。これらのノーマルグローバルデータバスNGIO0～NGIO<sub>n</sub>は、それぞれ対応の列ブロックのノーマルサブアレイに対して設けられたノーマルローカルデータバスに結合される。

【0058】スペアローカルデータバスSIO0～SIO<sub>m</sub>も、スペアグローバルデータバスSGIOに結合される。

【0059】行ブロックRB#*i* (*i*=0～*m*)において、複数のノーマルサブアレイMB#*i*0～MB#*i**n*に共通にスペアアレイSP#*i*を設けることにより、スペアアレイSP#*i*に含まれるスペア列を、いずれのノーマルサブアレイMB#*i*0～MB#*i**n*における不良列の置換にも使用することができ、スペア列の使用効率が改善される。

【0060】図3は、図2においてノーマルサブアレイと対応するローカルデータバスとの接続関係を説明するための回路図である。

【0061】図3を参照して、ノーマルサブアレイMB#*i**j*は、ワード線WL*i*1～WL*i**k*を含む(*k*:自然数)。ノーマルサブアレイMB#*i**j*は、さらに、ワード線に直交するようにビット線BL1、/BL1、BL2、/BL2、BL3、/BL3、BL4および/BL4を含む。説明を容易にするために、ノーマルサブアレイには、ビット線対が4組含まれている場合を示すが、実際にはさらに多数のビット線対が含まれている。

【0062】ワード線WL*i*1とビット線BL1との交点に対応してメモリセルMC#11が設けられる。同様に、ワード線WL*i*1がビット線BL2、BL3、BL4と交差する点に対応してそれぞれメモリセルMC#12、MC#13、MC#14が設けられる。ワード線WL*i*2がビット線/BL1、/BL2、/BL3、/BL4と交差する点に対応して、それぞれメモリセルMC#21、MC#22、MC#23、MC#24が設けられる。同様にワード線WL*i**k*がビット線/BL1、/BL2、/BL3、/BL4と交差する点にそれぞれ対応してメモリセルMC#*k*1、MC#*k*2、MC#*k*3、MC#*k*4が設けられる。

【0063】ノーマルサブアレイMB#*i**j*は、さらに、ビット線BL1、/BL1に対応して設けられるセンスアンプSA#1と、ビット線BL2、/BL2に対応して設けられるセンスアンプSA#2と、ビット線BL3、/BL3に対応して設けられるセンスアンプSA#3と、ビット線BL4、/BL4に対応して設けられ

るセンスアンプSA#4とを含む。各ビット線は、列選択ゲートLSGを介してローカルデータバスLIO*i**j*に接続される。列選択ゲートLSGは、列選択信号Y*i*1によって活性化されビット線BL1、/BL1をそれぞれローカルデータバスLIO*i**j*に接続する列選択ゲートLSG1a、LSG1bと、列選択信号Y*i*2によって活性化されビット線BL2、/BL2をローカルデータバスLIO*i**j*に接続する列選択ゲートLSG2a、LSG2bと、列選択信号Y*i*3によって活性化されビット線BL3、/BL3をそれぞれローカルデータバスLIO*i**j*に接続する列選択ゲートLSG3a、LSG3bと、列選択信号Y*i*4によって活性化されビット線BL4、/BL4をそれぞれローカルデータバスLIO*i**j*に接続する列選択ゲートLSG4a、LSG4bとを含む。

【0064】以上説明した多数ビットのデータバス系の構成は、グローバルデータバスを非常に多数メモリセルアレイ上に配置できるので、多くの並列データバスを必要とするエンベデッド用途(組込み用途)に向く構成である。

【0065】この構成では、グローバルデータバスが横切る複数のセンスアンプブロックを複数のバンクに割当てることにより、多バンク構成も容易に実現できる。

【0066】しかしながら、このような多数ビットのデータバス系の構成では、スペア列を配置する場合に、グローバルデータバス単位の置換構成となる。このとき多数のノーマルグローバルデータバス線のうち1つあるいは複数を、アレイ状の特定位置に配置するスペアグローバルデータバスで置換するが、このとき、本来のグローバルデータバスと物理的配置が入替わってしまう。

【0067】図4は、多数ビットのデータバス系におけるスペア列置換の問題点を説明するための概念図である。

【0068】図4を参照して、今、行ブロックRB#0がバンク0に割当てられているとする。このときノーマルサブアレイMB#01中の不良列がスペアサブアレイSP#0中のスペア列と置換される場合を考えると、ノーマルグローバルデータバスNGIO1はスペアグローバルバスSGIOと入換えられる必要がある。スペア列のデータをCPUの第1ビットのデータ入力端子に転送する必要があるからである。

【0069】エンベデッド用途においては、CPUなどに非常に多数、たとえば、256あるいは512対のグローバルデータバス線を介してメモリ部からデータが転送される。このような場合に、列置換が実施されたときスペアグローバルデータバスSGIOとノーマルグローバルデータバスNGIO1とを入換えるための順番入換回路が必要となる。このような順番入換回路は多数のスイッチおよびそれを選択制御するための回路が必要となるため周辺回路数を激増させ、チップ面積の増大を招

く。

【0070】図5は、実施の形態1における半導体記憶装置のアレイ部の構成を概略的に示す図である。

【0071】図5を参照して、メモリアレイは、複数のセンスアンプブロック（行ブロック）RB#0～RB#m（m：自然数）に分割される。行ブロックRB#0～RB#mの各々は、複数のサブアレイに分割される。行ブロックRB#i（i=0～m）は、ノーマルサブアレイMB#i0～MB#in（n：自然数）に分割される。これらのノーマルサブアレイMB#i0～MB#inは、それぞれが行列状に配列される複数のメモリセルを有する。

【0072】また、行ブロックRB#0～RB#mそれぞれにおいて、対応の行ブロックRB#0～RB#mの不良列（不良ノーマルメモリセルを含む列）を置換により救済するために、スペアアレイSP#0～SP#mが設けられる。これらのスペアアレイSP#0～SP#mは、それぞれ複数列に配列されるメモリセル（スペアメモリセル）を有する。ここで、スペアアレイSP#0～SP#mの行の数は、ノーマルサブアレイに含まれる行の数と同じである。そして、各行ブロックRB#i（i=0～m）では、ノーマルサブアレイMB#i0～MB#inおよびスペアアレイSP#iがワード線（行）を共有しており、センスアンプブロック単位でセンス動作が行なわれる。

【0073】列方向に沿って整列して配置されるノーマルサブアレイが列ブロックCB#0～CB#nを構成する。スペアアレイSP#0～SP#mは、列ブロックSB#nを構成する。

【0074】ノーマルグローバルデータバスNGIOj（j=0～n）には、各行にそれぞれ対応して設けられるブロック選択ゲートBSG#0j～BSG#mjが接続される。各ブロック選択ゲートBSG#0j～BSG#mjは、各々が接続ゲートBSG1、BSG0を含む。

【0075】行ブロックRB#0～RB#mに対応してそれぞれ接続制御回路HB#0～HB#mが設けられる。接続制御回路HB#iからは対応するブロック選択ゲートBSG#ij内の接続ゲートBSG1に対して制御信号SW1#i0～SW1#inが出力され、対応するブロック選択ゲートBSG#ij内の接続ゲートBSG0に対して制御信号SW0#i0～SW0#inが出力される（i=0～m、j=0～n）。

【0076】サブアレイMB#i0～MB#inに対応してローカルデータバスLIOi0～LIOinが設けられ、スペアアレイSP#iに対応してスペアローカルデータバスSIOiが設けられる（i=0～m）。ローカルデータバスLIOi0～LIOinは、対応のサブアレイMB#i0～MB#inとのみそれぞれデータの授受を行ない、スペアローカルデータバスSIO0～S

IOmは、対応のスペアアレイSP#0～SP#mとのみそれぞれデータの授受を行なう。

【0077】対応するブロック選択ゲートBSG#ij内の接続ゲートBSG0、BSG1によって、ノーマルグローバルデータバスNGIOjには、ローカルデータバスLIO#ijまたはローカルデータバスLIO#i（j+1）が接続される（j=0～n-1：i=0～m）。

【0078】対応するブロック選択ゲートBSG#in内の接続ゲートBSG0、BSG1によって、ノーマルグローバルデータバスNGIOnには、ローカルデータバスLIO#inまたはローカルデータバスSIO#iが接続される（i=0～m）。

【0079】行ブロックRB#iにおいて、複数のノーマルサブアレイMB#i0～MB#inに共通にスペアアレイSP#iを設けることにより、スペアアレイSP#iに含まれるスペア列を、ノーマルサブアレイMB#i0～MB#inへ使用することができ、スペア列の使用効率が改善される（i=0～m）。

【0080】図6は、図5におけるノーマルサブアレイとローカルデータバスおよびグローバルデータバスとの接続関係を説明するための回路図である。

【0081】図6を参照して、この接続部には、ローカルデータバスLIOijを制御信号SW0#ij-1に応じてノーマルグローバルデータバスNGIOj-1と接続する接続ゲートBSG0と、制御信号SW1#ijに応じてローカルデータバスLIOijをノーマルグローバルデータバスNGIOjと接続する接続ゲートBSG1とが設けられる点が図3の接続部の場合と異なる。図6において接続ゲートBSG0はブロック選択ゲートBSG#ij-1に含まれており、接続ゲートBSG1はブロック選択ゲートBSG#ijに含まれているものである。

【0082】接続ゲートBSG0は、制御信号SW0#ij-1の活性化に応じてローカルデータバスLIOijの一方のデータ線とノーマルグローバルデータバスNGIOj-1の一方のデータ線とを接続する選択ゲートBSG0aと、制御信号SW0#ij-1の活性化に応じてローカルデータバスLIOijの他方のデータ線とノーマルグローバルデータバスNGIOj-1の他方のデータ線とを接続する選択ゲートBSG0bとを含む。

【0083】接続ゲートBSG1は、制御信号SW1#ijの活性化に応じてローカルデータバスLIOijの一方のデータ線とノーマルグローバルデータバスNGIOjの一方のデータ線とを接続する選択ゲートBSG1aと、制御信号SW1#ijの活性化に応じてローカルデータバスLIOijの他方のデータ線とノーマルグローバルデータバスNGIOjの他方のデータ線とを接続する選択ゲートBSG1bとを含む。

【0084】図7は、図5に示した接続制御回路HB#

10

20

30

40

50

0の構成を示す回路図である。接続制御回路HB#0は、ゲートにプリチャージ信号 $\phi$ PRを受けソースが電源電位に結合されたPチャネルMOSトランジスタMP1と、接地ノードとPチャネルMOSトランジスタMP1のドレインとの間に直列に接続されるヒューズ素子HE0#0~HE0#n、HE0#sとを含む。ヒューズ素子HE0#iとヒューズ素子HE0#i+1との接続ノードからは制御信号SW0#0i(i=0~n-1)が出力される。ヒューズ素子HE0#nとヒューズ素子HE0#sとの接続ノードからは制御信号SW0#0nが出力される。

【0085】接続制御回路HB#0は、さらに、ゲートにプリチャージ信号 $\phi$ PRを受けソースが接地ノードに接続されたNチャネルMOSトランジスタMN1と、電源ノードとNチャネルMOSトランジスタMN1のドレインとの間に直列に接続されるヒューズ素子HE1#0~HE1#n、HE1#sとを含む。ヒューズ素子HE1#iとヒューズ素子HE1#i+1との接続ノードからは制御信号SW1#0iが出力される(i=0~n-1)。ヒューズ素子HE1#nとヒューズ素子HE1#sとの出力ノードからは制御信号SW1#0nが出力される。

【0086】他の接続制御回路HB#1~HB#mも同様な構成を有するので説明は繰返さない。

【0087】今、ヒューズ素子HE1#2およびヒューズ素子HE0#2がスペア置換のために切断された場合を考える。この切断は通常、不良アドレスの検査実施後、レーザービームで切断されるが、他の方法、例えば電流を流して溶断する場合でも可能である。またヒューズ素子以外でも、例えば不揮発性メモリ素子に不良アドレスに対応するデータを記憶し、その結果の信号をゲートに受けるMOSトランジスタのような構成でも可能である。

【0088】プリチャージ期間が終了し、プリチャージ信号 $\phi$ PRがLレベルになると、制御信号SW0#00~SW0#01はLレベルになり、ヒューズ素子SW0#02~SW0#0nおよびSW0#s0はHレベルとなる。また、制御信号SW1#00~SW1#01はHレベルとなり、制御信号SW1#02~SW1#0nはLレベルとなる。したがって、図5の行ブロックRB#0において、ノーマルサブアレイMB#00、MB#01は接続ゲートBSG1が活性化されるため、それぞれノーマルグローバルデータバスNGIO0、NGIO1に接続される。一方、ノーマルサブアレイMB#03~MB#0n、スペアアレイSP#0は接続ゲートBSG0が活性化するため、それぞれノーマルグローバルデータバスNGIO2~NGIOnに接続される。

【0089】また、ノーマルサブアレイMB#02は制御信号SW0#01およびSW1#02が両方ともLレベルであるためいずれのグローバルデータバスにも接続

されない。したがってノーマルサブアレイMB#02は使用されない(つまり不良列を含む)。

【0090】図8は、ブロック選択の様子を概略的に示す図である。図8を参照して、行ブロックRB#0において、列ブロックCB#jに対応する制御信号SW0、SW1が両方ともLレベルとなっている。この場合は、列ブロックCB#jはいずれのグローバルデータバスにも接続されず、列ブロックCB#0~CB#j-1は、図8において各自の右隣に存するグローバルデータバスにそれぞれデータを出力する。一方、列ブロックCB#j+1~CB#nおよびSB#は、各自の左隣に存在するグローバルデータバスにそれぞれデータを出力する。つまり、各グローバルデータバスについてこれと最も近接する2組のローカルデータバスへの接続スイッチをそれぞれ設ける。また、ローカルデータバスとこれに対応するサブアレイとは単位行ブロック当り1組余分に冗長性を有する。各グローバルデータバスに設けられる2組のスイッチを切換えることにより、グローバルデータバスの順番を変えることなくデータ入出力できる冗長系を構成することが可能である。また、接続制御回路HB#0の配置は図5、図8に示すように行ブロックRB#0とRB#1との間の領域に配置されるのが面積的に有利であり、接続制御回路HB#iの配置は同様にブロックRB#iとRB#i+1との間の領域に配置されるのが面積的に有利である(iは1~n-1)。

【0091】図5~図8では、各グローバルデータバスについてこれと最も近接する2組のローカルデータバスへの接続スイッチをそれぞれ設けた例を示したが、2組に限るものではなく、例えば各グローバルデータバスについてこれと最も近接する3組のローカルデータバスへの接続スイッチをそれぞれ設けるような構成に変形することも容易に可能である。

【0092】以上説明したように、実施の形態1の半導体記憶装置は、多数のデータバスを有する構成においてデータバスの順番を変えないコラム冗長系が実現でき、複雑な順番入換回路を設けることが必要ないので、チップ面積の増大を抑制できるとともに動作の高速化も図ることができる。

【0093】〔実施の形態2〕実施の形態2では、実施の形態1で説明した問題と同様の問題を解決する他の実施の形態である。

【0094】図9は、実施の形態2の半導体記憶装置2000の概略構成を示すブロック図である。

【0095】図9を参照して、半導体記憶装置2000は、バーストアドレスカウンタ28から出力されるアドレスを受けてアドレス変換を実施しコラムプリデコーダ14に伝達するアドレス変換回路29をさらに含む点だが、図1で説明した半導体記憶装置1000と異なる。他の構成は、半導体記憶装置1000と同様であるので説明は繰返さない。

【0096】図10は、図9におけるアドレス変換回路29の概略構成を示すブロック図である。

【0097】図10を参照して、アドレス変換回路29は、与えられたアドレス信号に対応するアドレス信号ビットA1～Anを受け内部アドレス信号ビットIA1～IANに変換してアドレスデコーダADECに与える。アドレスデコーダADECは、メモリセルアレイMA内のメモリセル列を与えられた内部アドレス信号ビットIA1～IANに従って選択する。

【0098】アドレス変換回路29は、救済する不良メモリセルに対応するアドレスが設定され、そのアドレスに対応する不良アドレス信号ビットPA1～PANを出力するアドレスプログラム回路ADPと、アドレス信号ビットA1～Anと不良アドレス信号ビットPA1～PANとを比較し、比較結果信号ADDを出力するアドレス比較回路ADCMPと、比較結果信号ADDに応じてアドレス信号ビットA1～Anに加算を行なうアドレス加算回路ADADDとを含む。アドレス加算回路ADADDは内部アドレス信号ビットIA1～IANをアドレスデコーダに出力する。

【0099】この場合のメモリセルアレイMAは、コラムアドレス“+1”分に相当する列が余分に設けられている。

【0100】また、このような構成は、列アドレスの置換のみならず行アドレスの置換にも適用が可能である。

【0101】図11は、アドレス比較回路ADCMPの構成を示す回路図である。図11を参照して、アドレス比較回路ADCMPは、入力されるアドレス信号ビットA1～Anにそれぞれ対応して設けられ信号S1～Snを出力するビット比較回路BCP1～BCPnと、信号S1～Snを受けてそれらの否定和を出力するNOR回路NR1とを含む。NOR回路NR1の出力は、アドレス信号に1を加算することを指示する加算指示信号ADDとなる。

【0102】ビット比較回路BCPnは、アドレス信号ビットAnと不良アドレス信号ビットPANとを各々が受けるゲート回路AGnおよびEXNOR回路EXnを含む。ゲート回路AGnは、アドレス信号ビットAnがLレベルで、かつ不良アドレス信号ビットPANがHレベルの時に信号SnとしてHレベルを出力する。EXNOR回路EXnは、アドレス信号ビットAnと不良アドレス信号ビットPANとが一致していた場合に一致信号MnとしてHレベルを出力する。

【0103】ビット比較回路BCPiは、アドレス信号ビットAiと不良アドレス信号ビットPAiとを各々が受けるゲート回路AGiおよびEXNOR回路EXiと、ゲート回路AGiの出力と一致信号Mi+1とをうけて信号Siを出力するAND回路AGAiと、EXNOR回路EXiの出力と一致信号Mi+1とを受けて一致信号Miを出力するAND回路AGBiとを含む。ゲ

ート回路AGiは、アドレス信号ビットAiがLレベルで、かつ不良アドレス信号ビットPAiがHレベルの時にHレベルを出力する。EXNOR回路EXiは、アドレス信号ビットAiと不良アドレス信号ビットPAiとが一致していた場合に一致信号MiとしてHレベルを出力する（ここで、iは3～n-1の自然数）。

【0104】ビット比較回路BCP2は、アドレス信号ビットA2と不良アドレス信号ビットPA2とを各々が受けるゲート回路AG2およびEXNOR回路EX2と、ゲート回路AG2の出力と一致信号M3とをうけて信号S2を出力するAND回路AG2とを含む。ゲート回路AG2は、アドレス信号ビットA2がLレベルで、かつ不良アドレス信号ビットPA2がHレベルの時にHレベルを出力する。EXNOR回路EX2は、アドレス信号ビットA2と不良アドレス信号ビットPA2とが一致していた場合に一致信号M2としてHレベルを出力する。

【0105】ビット比較回路BCP1は、アドレス信号ビットA1と不良アドレス信号ビットPA1とを受けるゲート回路AG1と、ゲート回路AG1の出力と一致信号M2およびM3とをうけて信号S1を出力する3入力AND回路AGA1とを含む。ゲート回路AG1は、アドレス信号ビットA1がLレベルで、かつ不良アドレス信号ビットPA1がHレベルの時にHレベルを出力する。

【0106】簡単に動作を説明すると、一致信号Miはi番目より上位のアドレス信号ビットの全てが一致した場合にHレベルとなりゲート回路AGAiを有効にする。この時i番目のアドレス信号ビットにおいてPAi>Ai（すなわちPAiがHレベル、AiがLレベル）であれば信号SiはHレベルとなる。つまり信号S1～SnのいずれかがHレベルになれば不良アドレスPAN～PA1>入力アドレスAn～A1であることになる。

【0107】したがって、信号S1～Snの否定和であるNOR回路NR1の出力である加算指示信号ADDは、設定アドレスPAN～PA1≤入力アドレスAn～A1の時にHレベルとなる。加算指示信号ADDがHレベルになった時は、次に説明するアドレス加算回路により入力アドレスA1～Anに1が加えられる。

【0108】図12は、図10におけるアドレス加算回路ADADDの構成を示す回路図である。

【0109】図12を参照して、アドレス加算回路ADADDは、入力されるアドレスに1を加えるときに活性化される加算指示信号ADDとアドレス信号の最下位ビットA1とを受ける1ビット加算回路HA#1と、1ビット加算回路HA#iが出力するキャリー信号CARRYiとアドレスの第iビットAiとを受けて加算を行なう1ビット加算回路HAiとを含む（i=2～n）。

【0110】1ビット加算回路HA#1～HA#nからは、それぞれ変換された内部アドレス信号ビットIA1

10

20

30

40

50

～ $I A_n$ がそれぞれ出力される。また、1ビット加算回路 $H A \# n$ が出力するキャリー信号 $C A R R Y_n$ は内部アドレス信号ビット $I A_{n+1}$ となる。

【0111】図10を再び参照して実施の形態2の半導体記憶装置のアドレス変換動作を説明する。

【0112】まず、入力アドレス $A_1 \sim A_n$ が、置換を実施する不良アドレス $P A_1 \sim P A_n$ よりも小さい場合（ $A_1 \sim A_n < P A_1 \sim P A_n$ ）を考える。この場合は、加算指示信号 $A D D$ はLレベルであり、入力アドレス $A_1 \sim A_n$ は、そのまま内部アドレス $I A_1 \sim I A_n$ として内部アドレス系に伝達され、コラムアクセスが行なわれる。

【0113】つぎに、入力アドレス $A_1 \sim A_n$ が、置換を実施する不良アドレス $P A_1 \sim P A_n$ と同じか、これより大きい場合（ $A_1 \sim A_n \geq P A_1 \sim P A_n$ ）を考える。この場合は、加算指示信号 $A D D$ はHレベルであり、入力アドレス $A_1 \sim A_n$ に1を加えて、これを内部アドレス $I A_1 \sim I A_n$ として内部アドレス系に伝達され、コラムアクセスが行なわれる。そして、欠陥の回避をしつつ、データバスの順番を変えない動作が実施される。

【0114】したがって、このような構成とすることで、データバスの順番の入れ換えを伴わない列置換が実現でき、チップ面積の抑制が可能であるとともに動作も高速化できる。

【0115】〔実施の形態3〕実施の形態1で示したような多数ビットのデータバスを有する構成は、グローバルデータバスがまたがる多数のセンスアンプブロック、すなわち行ブロック $R B \# 0 \sim R B \# m$ をそれぞれ別のバンクとして使用する構成とすることができる。このような、多バンク構成のDRAMにおいて、フレキシブル・ロウ・リダングランシを適用する場合を考える。

【0116】図13は、多バンク構成のDRAMにおけるフレキシブル・ロウ・リダングランシを説明するための概念図である。

【0117】図13を参照して、メモリアレイは、列方向に沿って複数のバンク $R B X \# 0 \sim R B X \# m$ に分割される。バンク $R B X \# 1 \sim R B X \# m$ は、ノーマルメモリセルが行列状に配列されたノーマルメモリサブアレイ $M A \# 1 \sim M A \# m$ でそれぞれ構成される。

【0118】バンク $R B X \# 0$ においては、行列状に配列されるノーマルメモリセルを有するノーマルメモリサブアレイ $M A \# 0$ と、そのノーマルメモリサブアレイ $M A \# 0$ と列を共有して複数行に配列されるスペアメモリセルを有するスペアアレイ $S P X \#$ を含む。

【0119】このスペアアレイ $S P X \#$ に含まれる複数のスペア行（スペアワード線）は、ノーマルメモリサブアレイ $M A \# 0 \sim M A \# m$ に含まれる不良ノーマルワード線と置換可能である。ノーマルメモリサブアレイ $M A \# 0 \sim M A \# m$ それぞれに対応して、ロウデコード $X$

～ $X_m$ が設けられ、スペアアレイ $S P X \#$ に対しスペアロウデコード回路 $S P D X$ が配置される。

【0120】この図9に示す構成においては、スペアアレイ $S P X \#$ を、ノーマルメモリサブアレイ $M A \# 0 \sim M A \# m$ に共通に配置する。したがって、1つのノーマルメモリサブアレイにおいて不良行が集中的に存在する場合においても、スペアアレイ $S P X \#$ に含まれるスペアワード線を用いて置換救済を行なうことができ、製品歩留りを改善することができる。また、スペアロウデコードを複数のノーマルメモリサブアレイ（行ブロック）で共有することにより、スペアデコードの数を低減することができる。

【0121】図14は、図13に示すスペアロウデコード回路 $S P D X$ の構成を概略的に示す図である。

【0122】図14を参照して、スペアアレイ $S P X \#$ において、4本のスペアワード線 $S W L 0 \sim S W L 3$ が設けられた場合のスペアロウデコード回路 $S P D X$ の構成が一例として示される。このスペアロウデコード回路 $S P D X$ は、スペアワード線 $S W L 0 \sim S W L 3$ それぞれに対応して設けられるロウスペアデコード $S D X 0 \sim S D X 3$ を含む。これらのスペアロウデコード $S D X 0 \sim S D X 3$ には、それぞれ、メモリサブアレイを特定するブロックアドレス（バンクアドレス）およびサブアレイ内の行アドレス両方がプログラムされる。

【0123】ここで、図14に示すように、ノーマルメモリサブアレイ $M A \# 0$ に含まれる不良ノーマルワード線 $W L 0$ 、ノーマルメモリセルサブアレイ $M A \# 1$ に含まれる不良ノーマルワード線 $W L 1$ および $W L 2$ 、ノーマルメモリサブアレイ $M A \# m$ に含まれる不良ノーマルワード線 $W L 3$ をスペアワード線との置換により救済する場合を考える。

【0124】この場合、スペアロウデコード $S D X 0$ にワード線 $W L 0$ のアドレス（ブロックアドレスすなわちバンクアドレスを含む。）がプログラムされ、スペアロウデコード $S D X 1$ および $S D X 2$ それぞれに、不良ノーマルワード線 $W L 1$ および $W L 2$ のアドレスがプログラムされ、スペアロウデコード $S D X 3$ に不良ノーマルワード線 $W L 3$ のアドレスがプログラムされる。

【0125】したがって、不良ノーマルワード線 $W L 0$ 、 $W L 1$ 、 $W L 2$ および $W L 3$ が、それぞれ、スペアワード線 $S W L 0$ 、 $S W L 1$ 、 $S W L 2$ および $S W L 3$ により置換される。

【0126】したがって、スペアロウデコードが、ノーマルメモリサブアレイ $M A \# 0 \sim M A \# m$ により共有されるため、ノーマルメモリサブアレイそれぞれに対応してスペアロウデコードを設ける必要がなくアレイ占有面積の増加を抑制することができる。

【0127】また、スペアワード線は、ノーマルメモリサブアレイ $M A \# 0 \sim M A \# m$ により共有されるため、スペアワード線の利用効率が改善される。また、この行

ブロックRBX#0においてスペアアレイSPX#をノーマルメモリサブアレイMA#0~MA#mに共通に設けることにより、このスペアアレイSPX#に含まれるスペアワード線SWLを、任意のノーマルメモリサブアレイが使用することができ、スペアワード線の利用効率を改善することができる。

【0128】また、スペアアレイSPX#とノーマルメモリサブアレイMA#0とでセンスアンプを共有する構成とすれば、このスペアデコーダSDX0~SDX3の1つが選択されたとき、この行ブロックRBX#0に対して設けられるセンスアンプを活性化する構成が使用できるので、センスアンプの制御動作も簡略化される。

【0129】しかしながら、このような構成とすると、バンクをまたがった救済・被救済の関係が生じてしまう。

【0130】図15は、バンクのアクセスの競合を説明するための波形図である。ここで、説明を簡単にするために例として2バンク構成の場合を述べる。

【0131】各バンクでは通常、より高速なメモリアccessを可能とするため並列的にデータの読出しが行われる。各バンクからデータ出力端子にそれらのデータがインターリーブして読出されることで、各バンクの読出しサイクル時間よりも高速に半導体記憶装置全体としての読出し動作が可能となる。

【0132】例えば、図15のような場合、バンク1、2のデータを同じクロックサイクル中に読出しが行われなければならない。

【0133】この場合、バンク2の不良行をバンク1のスペア行で置換する時、図のクロックサイクル#1でバンク1の正規の行読出しとバンク1のスペア行の読出しとが並行して行われる必要がある。

【0134】図16は、アクセスの競合を説明するための回路図である。図15、図16を参照してアクセスの競合について説明する。バンク1の中ではビット線及びセンスアンプを各行が共有する。つまり、アクセスの競合が生じると、バンク1の正規の行とスペア行とはビット線及びセンスアンプの使用時間が競合するため、読出しを並行して行うことができない。(図16のメモリセルMC#1の記憶データとスペアメモリセルMCS#1の記憶データとを同時に読み出すことはできない。)したがって、クロックサイクル#2で連続して出力することもできない。

【0135】バンク1とバンク2との間にアクセスが競合してもデータをグローバルデータバスに出力できるようにするための構成について述べる。バンク1のスペア行の情報を退避させるキャッシュメモリ行をバンク1とグローバルデータバスを共有するように設け、このキャッシュメモリ行(キャッシュレジスタ)をバンク1と独立して動作可能な構成とすれば、アクセス競合の問題は解決する。

【0136】図17は、実施の形態3の半導体記憶装置に用いられる読出時の行選択の流れを示すフローチャートである。

【0137】ここで、アクセスはバンク1に、その後バンク2に行なわれるとする。図17を参照して、読出しサイクルに入ると、まず、ステップS1Rにおいて読出されるアドレスADR1、ADR2が入力される。

【0138】ステップS2Rにおいて、バンク1中に配置されているスペア行が使用されるか否かの判定が行なわれる。

【0139】ステップS2Rにおいては、まず、サブステップS2R1において、スペア行が使用されるか否かの判定が行なわれる。スペア行が使用されていない場合はステップS6Rに飛び通常のロウ選択動作が行なわれ、その後カラムアクセスにより外部にデータが読出されそして次のサイクルに進む。

【0140】スペア行が選択されている場合は、サブステップS2R2において1番目のアクセスアドレスADR1がスペア行を示し、かつ、2番目のアクセスアドレスADR2がスペア行を示しているか否かが判定される。2つのアクセスアドレスが両方ともスペア行を示しているときは、ステップS4Rに分岐する。そうでない場合は、アクセスアドレスADR1またはADR2のいずれかがスペアの場合であり、ステップS3Rに進む。

【0141】ステップS3Rでは、アクセスされたアドレスのいずれかがバンク1のアドレスであるか否かが判定される。まず、サブステップS3R1において、第1番目にアクセスさせるアドレスADR1がバンク1のアドレスであり、かつ第2番目にアクセスされるアドレスADR2がスペア行を示している場合か否かが判定される。続いて、サブステップS3R2において、アクセスアドレスADR1がスペア行を示しており、かつアクセスアドレスADR2がバンク1のアドレスであるかが判定される。

【0142】サブステップS3R1、S3R2の判定がいずれも否定的な場合は、ステップS7Rに進む。この場合は、バンク1中に配置されているスペアが使用されてはいるものの、並行してロウ選択される他のバンクはバンク1ではないため、アクセスの競合は起こらない。したがって、ステップS7Rにおいては、バンク1中のスペアロウが選択されるとともに、この選択に伴い後の読出しに備えてスペアロウのデータはキャッシュに転送される。並行してバンク1ではない他のバンクのロウ選択も行なわれその後カラムアクセスにより外部にデータが読出されていき、そして、次のサイクルに進む。

【0143】サブステップS2R2、S3R1、S3R2の判定のいずれかが肯定的な場合には、ステップS4Rに進む。この場合は、アクセスの競合が起こる場合である。

【0144】ステップS4Rにおいては、キャッシュに

アクセスされたスペアのデータが存在するか否かが判断される。存在していない場合は、2つのアクセスアドレスのデータを並行してロウ選択することができないために、ステップS5Rに進み、スペアのデータをキャッシュに転送する。この場合は、1サイクル余分に読出時間がかかることになる。そしてステップS8Rに進む。

【0145】一方、ステップS4Rにおいて、キャッシュにデータが存在している場合は、直接ステップS8Rに進む。ステップS8Rにおいては、読出すべきデータの1つはキャッシュロウに存在するため、バンク1中のスペア行またはノーマル行のロウ選択とキャッシュのロウ選択とが並行して行なわれる。そして、カラムアクセスによりデータが読出され、次のサイクルに進む。

【0146】図18は、2バンクが一括してロウ選択される場合の書込時の処理を説明するためのフローチャートである。

【0147】図18を参照して、書込サイクルに入ると、まず、ステップS1Wにおいて、アドレス入力が行なわれる。続いて、ステップS2Wにおいて、スペア行が使用されているか否かが判断される。

【0148】ステップS2Wにおいては、まずサブステップS2W1においてスペア行が使用されているか否かが判断される。スペア行が使用されていない場合は、ステップS6Wに進み、通常のロウ選択動作が実施される。スペアが使用されているときは、ステップS2W2に進み、アクセスされる2つのアドレスの両方ともがスペアであるか否かが判断される。ステップS2W2の結果が否定的な場合は、ステップS3Wに進む。

【0149】ステップS3Wにおいては、アクセスされるアドレスのいずれかがバンク1であるか否かが判定される。ステップS3Wにおいては、まずサブステップS3W1において、第1番目にアクセスさせるアドレスADR1がバンク1のアドレスであり、かつ第2番目にアクセスされるアドレスADR2がスペア行を示している場合であるか否かが判定される。ステップS3W1の結果が否定的な場合は、サブステップS3W2に進む。

【0150】サブステップS3W2においては、アドレスADR1がスペア行を指示し、かつアドレスADR2がバンク1のアドレスを示しているか否かが判断される。サブステップS3W2の結果が否定的な場合は、ステップS7Wに進む。

【0151】ステップS7Wにおいては、バンク1中のスペアロウは選択されるものの、競合関係は発生しないため、それと並行してバンク1でない他のバンクのロウ選択が実施されデータの書込が行なわれる。

【0152】サブステップS2W2、S3W1、S3W2のいずれかに判定が肯定的な場合には、ステップS4Wに進む。

【0153】ステップS4Wに進む場合とは、アクセスの競合が発生している場合である。ステップS4Wにお

いては、各バンクに対応して設けられているキャッシュ行の中でアクセスされているバンクに対応するキャッシュ行にデータが存在するか否かが判断される。データが存在する場合には、存在しているデータを保存する必要があるため、ステップS5Wに進み、キャッシュのデータがバンク1中のスペア行に転送される。この場合は、通常動作よりも1サイクル分だけ書込に時間がかかることになる。そしてステップS8Wに進む。

【0154】ステップS4Wにおいて、書込バンクに該当するキャッシュ行にデータがない場合には、直接キャッシュ行にデータを書込んでも構わないため、ステップS8Wに進む。

【0155】ステップS8Wにおいては、バンク1中のスペアまたはノーマルのロウ選択とキャッシュのロウ選択とが並行して行なわれ書込が実施される。ステップS6W、S7W、S8Wがそれぞれ終了すると、ステップS9Wに進む。ここでは、書込サイクルが終了され次の動作（たとえば読出）に移行するか否かが判断される。続いて書込サイクルが行なわれる場合には、ステップS1Wに進み、アドレスの入力待ちとなる。

【0156】書込サイクルが終了し他の動作に移行する場合には、ステップS10Wに進み、書込時に使用されたキャッシュのデータをバンク1中のスペア行に退避させ、その後、次のサイクルに進む。

【0157】以上説明した動作とすることによってアクセス衝突の問題を解決でき、これにより、多バンク構成の場合でも支障なくフレキシブルリダンダンシを実現できる。

【0158】図19は、実施の形態3の半導体記憶装置において、キャッシュ行とバンク1との接続関係を説明するための回路図である。

【0159】図19を参照して、実施の形態3の半導体記憶装置においては、バンク1として動作する行ブロックRB#1に隣接して、キャッシュ行ブロックCRが設けられ、行ブロックRB#1、キャッシュ行ブロックCRにそれぞれ対応してローカルデータバスLIO1、CLIOが設けられ、ローカルデータバスLIO1、CLIOに共通してグローバルデータバスGIOが設けられる。キャッシュ行ブロックCRの各ビット線とバンク1中の対応するビット線とは、それぞれ転送回路XGで接続されている。

【0160】行ブロックRB#1は、スペア行が設けられるスペア行ブロックSRと、ノーマル行が設けられるノーマル行ブロックNRと、スペア行ブロックSRおよびノーマル行ブロックNRに共通して設けられるセンスアンプ部SARとを含む。スペア行ブロックSR、ノーマル行ブロックNRおよびセンスアンプ部SARとは共通するビット線BL1~BL4、/BL1~/BL4が設けられている。図19では、説明を簡単にするためビット線対が4組の場合を示したが実際には、さらに多

くのビット線が各ブロックに設けられる。

【0161】ノーマル行ブロックNRは、ワード線WL #1～WL #mと(m:自然数)、ワード線WL #iとビット線WL #jとの交点に対応して設けられるメモリセルMC #i j (iはm以下の奇数、jは1～4)と、ワード線WL #iとビット線/BL #jとの交点に対応して設けられるメモリセルMC #i j (iはm以下の偶数、jは1～4)とを含む。

【0162】センスアンプ部SARは、センスアンプ活性化信号SAEによって活性化されビット線BL #iと/BL #iとの間の電位差を増幅するセンスアンプSA #i (iは1～4)と、列選択信号Y1iによって活性化されビット線BL #iとローカルデータバスLIO1とを接続する列選択ゲートLSGi a (iは1～4)と、列選択信号Y1iによって活性化されビット線/BL #iとローカルデータバスLIO1とを接続する列選択ゲートLSGi b (iは1～4)とを含む。

【0163】スペアブロックSRは、ワード線WL #1～WL #nと(n:自然数)、ワード線SWL #iとビット線WL #jとの交点に対応して設けられるスペアメモリセルSMC #i j (iはn以下の奇数、jは1～4)と、ワード線SWL #iとビット線/BL #jとの交点に対応して設けられるスペアメモリセルSMC #i j (iはn以下の偶数、jは1～4)とを含む。

【0164】キャッシュブロックCRは、ワード線CWL #1、CWL #2と、ワード線CWL #iとビット線WL #jおよびビット線/BL #jとの交点に対応して設けられるキャッシュメモリセルCMC #i j (iは1～2、jは1～4)と、列選択信号CYiによって活性化されビット線BL #iとローカルデータバスLIOとを接続する列選択ゲートCSGi a (iは1～4)と、列選択信号CYiによって活性化されビット線/BL #iとローカルデータバスLIOとを接続する列選択ゲートCSGi b (iは1～4)とを含む。ここで、キャッシュメモリセルは、SRAMのメモリセルを用いることを示しているが、DRAMのメモリセルを使用することも可能である。

【0165】転送回路XGは、ビット線BLCiとビット線BL #iとを転送信号XFERに応じて接続する転送ゲートXGi aと、ビット線/BL #iとビット線/BL #iとを転送信号XFERに応じて接続する転送ゲートXGi bとを含む(iは1～4)。

【0166】図20は、実施の形態3のバンク1およびキャッシュブロックに対応して設けられるロウ系の制御を行なうバンクロウ制御回路BRCNT #1のブロック図である。

【0167】このバンクロウ制御回路BRCNT #1は、スペア行に対応する不良アドレスをスペアアドレスとして設定するスペアアドレス設定回路SAPと、キャッシュ行が現在保持しているデータのアドレスを保持す

るキャッシュアドレス保持回路CAHとを含む。

【0168】このロウ系回路は、さらに、アクセスされるアドレスADRを受けてキャッシュアドレスやスペアアドレスと比較するアドレス比較回路ACMPと、アクセスされるアドレスADRがバンク1に対応するアドレスであるかどうかを判定するバンク1アクセス判定回路ADETと、アドレス比較回路ACMPの出力とバンク1アクセス判定回路ADETの出力とを受けタイミング制御を実施するとともに転送信号XFERおよびセンスアンプ活性化信号SAEを出力するタイミング制御回路TCとを含む。

【0169】バンク1に対応して、このロウ系回路はさらに、タイミング制御からの指示に応じてスペアワード線SWL #1～SWL #nを活性化するスペアデコードSDECと、アクセスされるアドレスADRとタイミング制御回路TCの出力とに従ってワード線WL #1～WL #mを活性化する活性化するノーマルロウデコードNDECと、タイミング制御回路TCの指示に従ってキャッシュ行のワード線CWL #1、CWL #2を活性化するキャッシュ制御回路CCNTとを含む。

【0170】図19、図20では、図面の簡単のため、2バンクの場合を示し、各バンクに対応してキャッシュ行が2行設けられる構成を示したが、実際には、Nバンク構成の場合には、キャッシュブロックにはN行のキャッシュ行が設けられる。

【0171】図21は、スペア行からキャッシュ行に転送時のタイミングを説明するための動作波形図である。

【0172】図21を参照して、時刻t1において、スペアワード線SWL #とセンスアンプ活性化信号SAEとが活性化される。それに応じて、対応するビット線にはスペア行に保存されていたデータが読出され増幅される。

【0173】時刻t2において、転送信号XFERとキャッシュワード線CWL #とが活性化される。これに応じてビット線に読出されていたデータはキャッシュ行に書込まれる。時刻t3において転送信号が非活性化され、キャッシュ行とスペア行とは分離され、それぞれキャッシュ行とスペア行のワード線が立下げられスペア行からキャッシュ行への転送が終了する。

【0174】図22は、キャッシュ行からスペア行へデータを転送するときのタイミングを説明するための動作波形図である。

【0175】図22を参照して、時刻t1において、キャッシュ行のワード線CWL #と転送信号XFERとセンスアンプ活性化信号SA2とが活性化される。このときにはビット線にはキャッシュ行に保持されていたデータが読出され増幅される。

【0176】時刻t2において、スペアワード線SWL #が活性化しビット線からスペア行にデータが書込まれる。時刻t3において、転送信号XFERが立下げら



れ、その後キャッシュ行スペア行それぞれにおいてワード線が立下げられてキャッシュ行からスペア行へのデータの転送が終了する。

【0177】以上のような制御タイミングとすることで転送時においてセンスアンプをノーマル行、キャッシュ行の両方のデータの増幅に使用することができる。

【0178】また、図19に示したキャッシュブロック、スペアブロック、ノーマルブロックの配置には種々の変形が考えられる。

【0179】図23は、実施の形態3の半導体記憶装置において、キャッシュ行とバンク1との配置の変形例1を説明するための図である。

【0180】図23を参照して、変形例1では、バンク1として動作する行ブロックRB#1内において、キャッシュ行ブロックCRに隣接する側からセンスアンプ部SAR、スペア列ブロックSR、ノーマル行ブロックNRの順に配置される点が図19に示した配置と異なる。

【0181】キャッシュ行ブロックCR、センスアンプ部SAR、スペア列ブロックSR、ノーマル行ブロックNRの各構成は、図19に示した場合と同様であるので説明は繰返さない。

【0182】図24は、実施の形態3の半導体記憶装置において、キャッシュ行とバンク1との配置の変形例2を説明するための図である。

【0183】図24を参照して、変形例2では、図19においてバンク1として動作する行ブロックRB#1内のビット線とキャッシュ行ブロックCR内の対応するビット線とを接続している転送回路XGが設けられない点が図19に示した配置と異なる。

【0184】行ブロックRB#1キャッシュ行ブロックCR、センスアンプ部SAR、スペア列ブロックSR、ノーマル行ブロックNRの各構成は、図19に示した場合と同様であるので説明は繰返さない。

【0185】変形例2の場合はキャッシュ行ブロックCRとスペア行ブロックSRとの間のデータの授受はローカルデータバスLIO1、グローバルデータバスGIO、キャッシュローカルデータバスCLIOを介して行なわれる。

【0186】以上のような構成とすることにおいて、多バンク構成においてフレキシブルロウリダンダンスを実現することができ、冗長救済能力の向上およびチップ面積の増加の抑制を図ることができる。

【0187】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0188】

【発明の効果】請求項1および2に記載の半導体記憶装

置は、多数のデータバスを有する構成においてデータバスの順番を変えないコラム冗長系が実現でき、複雑な順番入換回路を設けることが必要ないので、チップ面積の増大を抑制できるとともに動作の高速化も図ることができる。

【0189】請求項3～5に記載の半導体記憶装置は、請求項1の半導体記憶装置が奏する効果に加えて、接続制御回路の配置は行ブロックと行ブロックとの間にされるため面積的に有利であり、チップ面積の増大を抑制できる。

【0190】請求項6～8に記載の半導体記憶装置は、多数のデータバスを有する構成においてデータバスの順番を変えないコラム冗長系が実現でき、複雑な順番入換回路を設けることが必要ないので、チップ面積の増大を抑制できるとともに動作の高速化も図ることができる。

【0191】請求項9～11に記載の半導体記憶装置は、多バンク構成においてフレキシブルロウリダンダンスを実現することができ、冗長救済能力の向上およびチップ面積の増加の抑制を図ることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の半導体記憶装置1000の構成を示す概略ブロック図である。

【図2】 階層型データバス構成の発展型である、多数ビットのデータバス系のアレイ部の構成を概略的に示す図である。

【図3】 図2においてノーマルサブアレイと対応するローカルデータバスとの接続関係を説明するための回路図である。

【図4】 多数ビットのデータバス系におけるスペア列置換の問題点を説明するための概念図である。

【図5】 実施の形態1における半導体記憶装置のアレイ部の構成を概略的に示す図である。

【図6】 図5におけるノーマルサブアレイとローカルデータバスおよびグローバルデータバスとの接続関係を説明するための回路図である。

【図7】 図5に示した接続制御回路HB#0の構成を示す回路図である。

【図8】 ブロック選択の様子を概略的に示す図である。

【図9】 実施の形態2の半導体記憶装置2000の概略構成を示すブロック図である。

【図10】 図9におけるアドレス変換回路29の概略構成を示すブロック図である。

【図11】 アドレス比較回路ADCMPの構成を示す回路図である。

【図12】 図10におけるアドレス加算回路ADADDの構成を示す回路図である。

【図13】 多バンク構成のDRAMにおけるフレキシブル・ロウ・リダンダンスを説明するための概念図である。

【図 14】 図 13 に示すスペアロウデコーダ回路 SPDX の構成を概略的に示す図である。

【図 15】 バンクのアクセスの競合を説明するための波形図である。

【図 16】 アクセスの競合を説明するための回路図である。

【図 17】 実施の形態 3 の半導体記憶装置に用いられる読出時の行選択の流れを示すフローチャートである。

【図 18】 2 バンクが一括してロウ選択される場合の書込時の処理を説明するためのフローチャートである。

【図 19】 実施の形態 3 の半導体記憶装置において、キャッシュ行とバンク 1 との接続関係を説明するための回路図である。

【図 20】 実施の形態 3 のバンク 1 およびキャッシュブロックに対応して設けられるロウ系の制御を行なうバンクロウ制御回路 BRCNT #1 のブロック図である。

【図 21】 スペア行からキャッシュ行に転送時のタイミングを説明するための動作波形図である。

【図 22】 キャッシュ行からスペア行へデータを転送するときのタイミングを説明するための動作波形図である。

【図 23】 実施の形態 3 の半導体記憶装置において、キャッシュ行とバンク 1 との配置の変形例 1 を説明するための図である。

【図 24】 実施の形態 3 の半導体記憶装置において、キャッシュ行とバンク 1 との配置の変形例 2 を説明するための図である。

【図 25】 階層型のデータバスの構成を示す概念図で

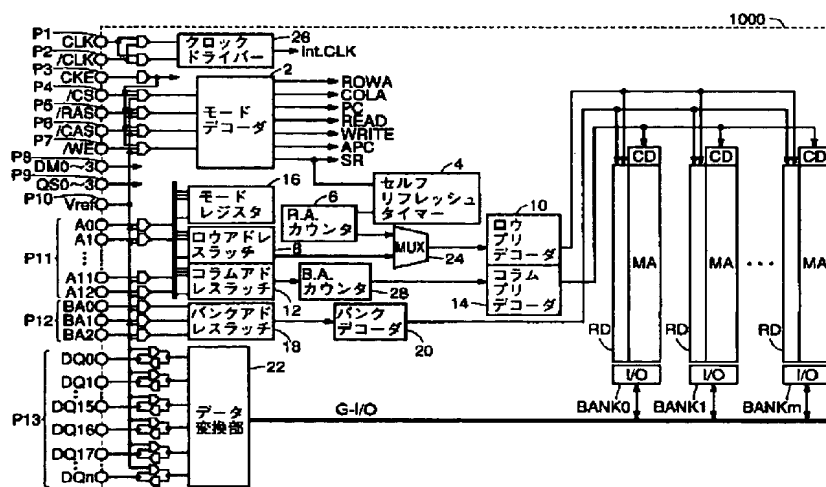
ある。

【図 26】 従来のフレキシブルリダンダンシ構成を有する半導体記憶装置の全体の構成を概略的に示す図である。

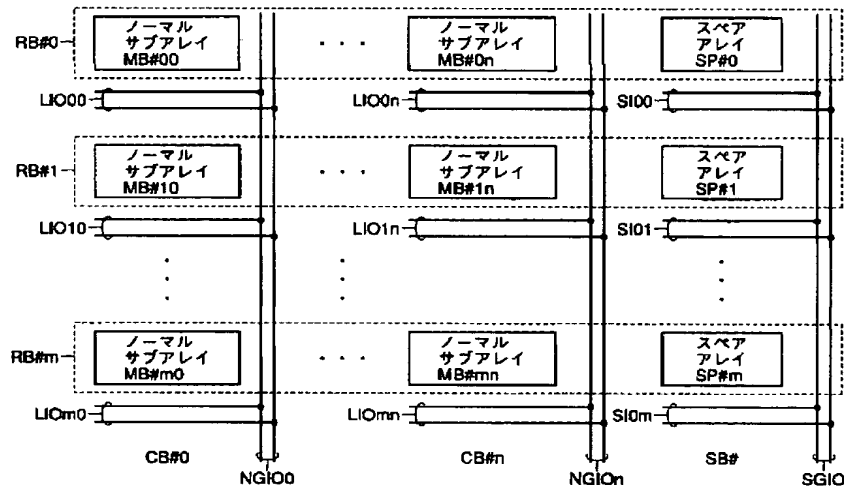
【符号の説明】

1000 半導体記憶装置、RB#0~RB#m 行ブロック、HB#0~HB#m 接続制御回路、LIO0n~LIOmn ローカルデータバス、NGIO0~NGIOmn グローバルデータバス、CB#0~CB#n 列ブロック、SB# スペア列ブロック、MB#00~MB#mn ノーマルサブアレイ、SP#0~SP#m スペアアレイ、BSG#00~BSG#mn ブロック選択ゲート、BSG0、BSG1 接続ゲート、HE0#0~HE0#n, HE0#s, HE1#0~HE1#n, HE1#s ヒューズ素子、ADP アドレスプログラム回路、ADCMP アドレス比較回路、BCP1~BCPn ビット比較回路、NR1 NOR 回路、ADADD アドレス加算回路、HA#1~HA#n 1 ビット加算回路、29 アドレス変換回路、CR キャッシュブロック、SR スペアブロック、NR ノーマルブロック、XG 転送回路、XG1a~XG4a, XG1b~XG4b 転送ゲート、ACMP アドレス比較回路、CAH キャッシュアドレス保持回路、CCNT キャッシュ制御回路、TC タイミング制御回路、SAP スペアアドレス設定回路、SDEC スペアデコーダ、ADET バンク 1 アクセス判定回路、NDEC ノーマルロウデコーダ、BRCNT#1 バンクロウ制御回路。

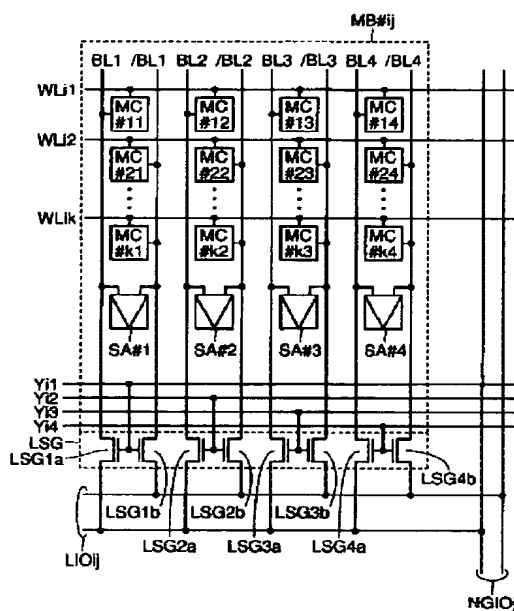
【図 1】



【図2】



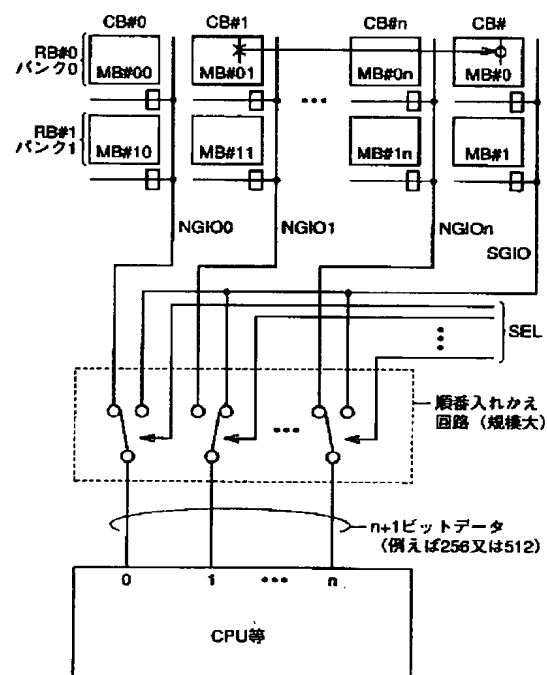
【図3】



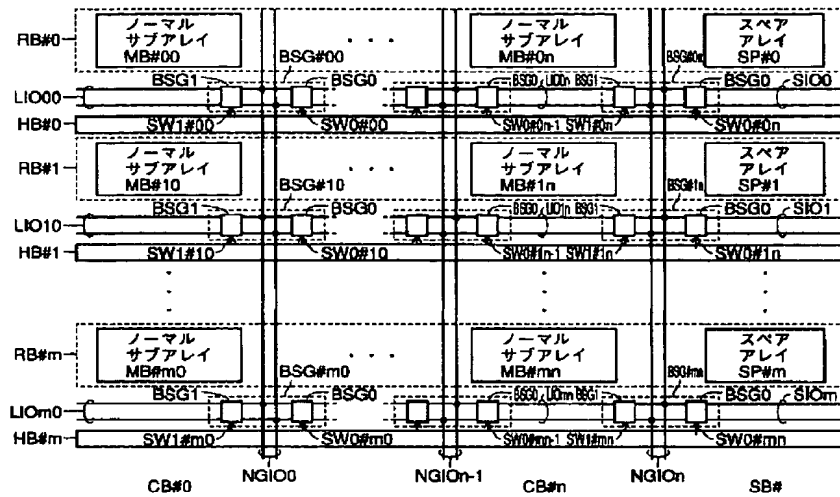
【図13】

X0	ノーマルメモリサブアレイ	MA#0	RBX#0
SPDX	スペアアレイ	SPX#	
X1	ノーマルメモリサブアレイ	MA#1;RBX#1	RBX#1
X2	ノーマルメモリサブアレイ	MA#2;RBX#2	
...	...	...	...
Xm	ノーマルメモリサブアレイ	MA#m;RBX#m	RBX#m

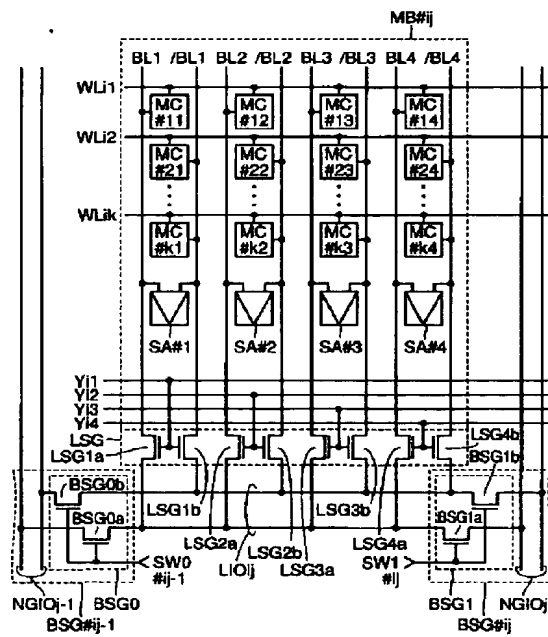
【図4】



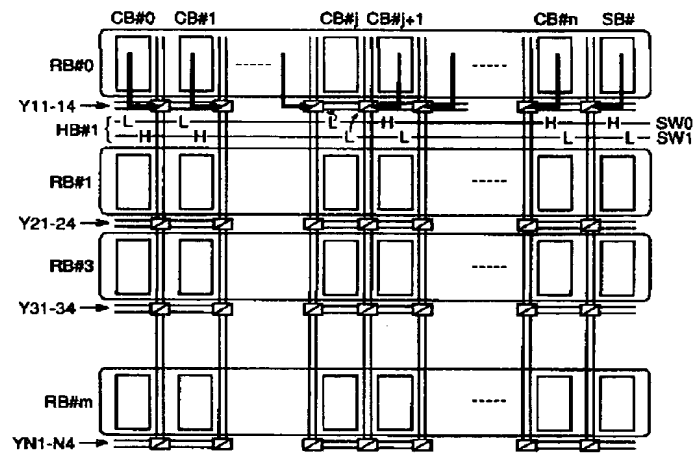
【図 5】



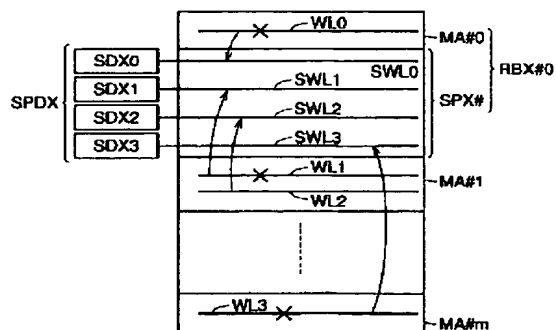
【図 6】



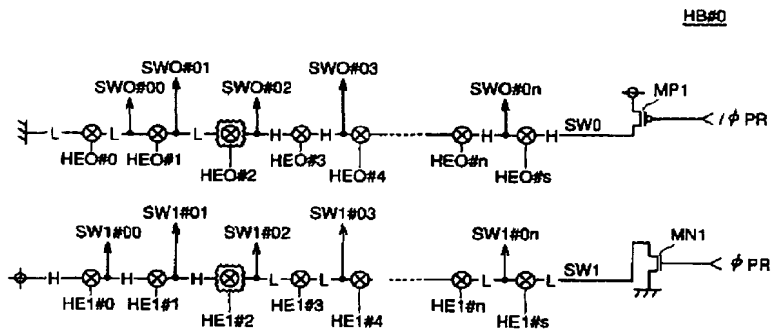
【図 8】



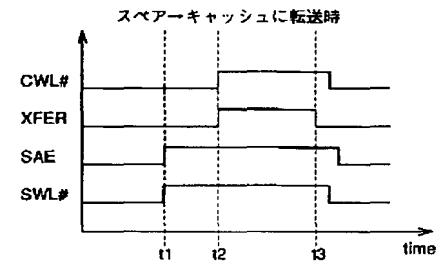
【図 14】



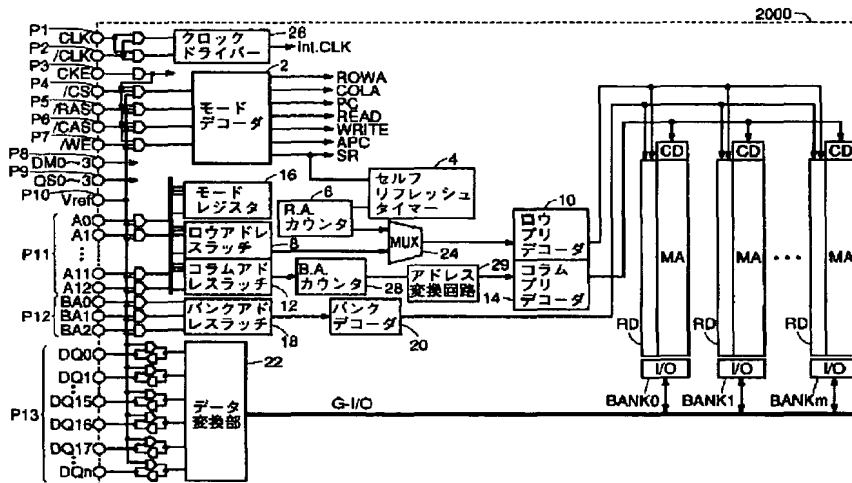
【図 7】



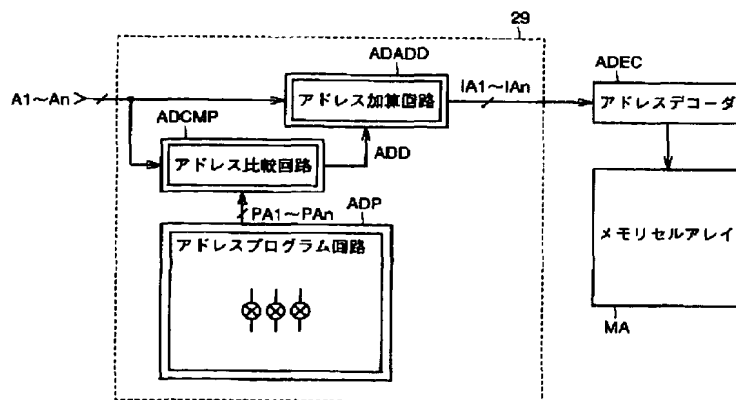
【図 21】



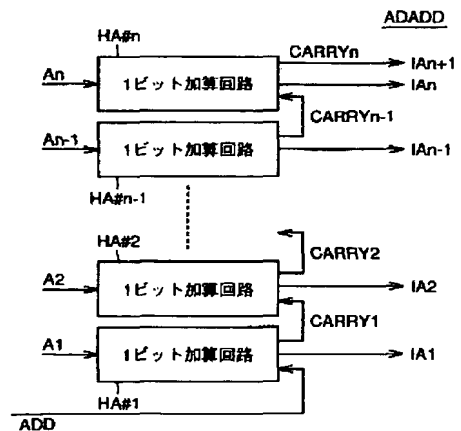
【図 9】



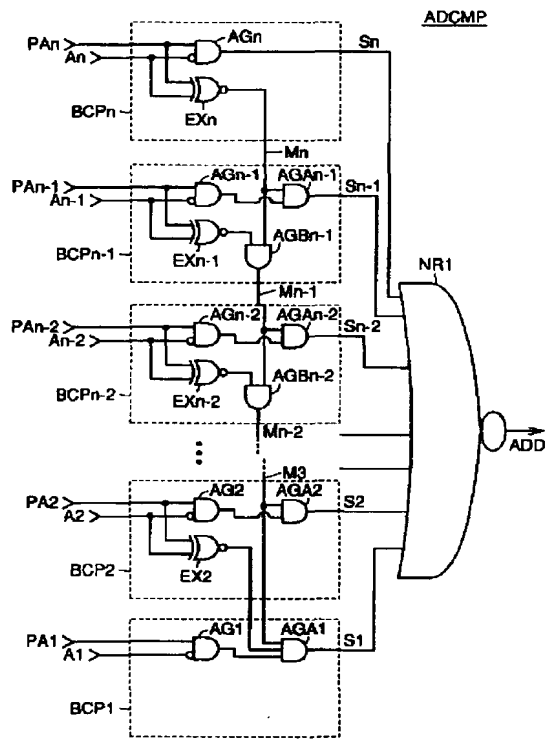
【図 10】



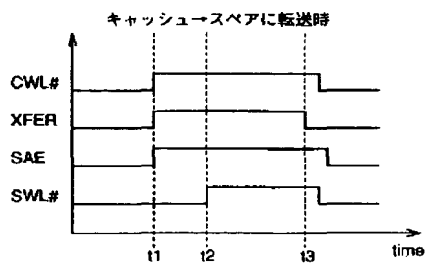
【図 12】



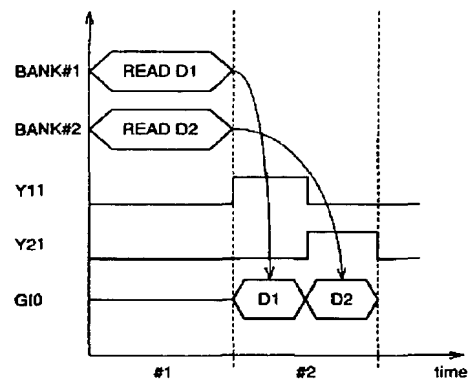
【図 11】



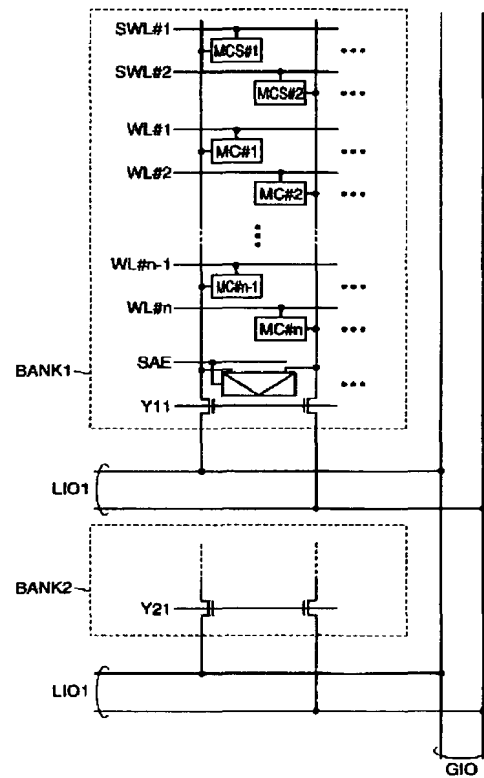
【図 22】



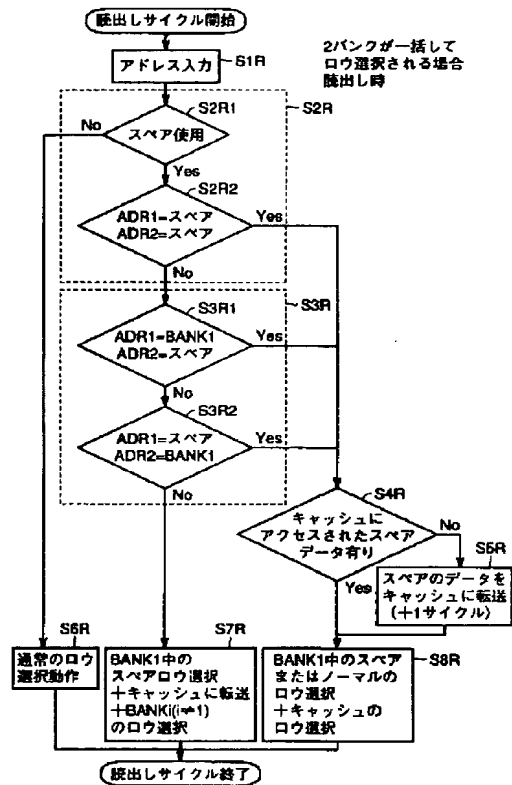
【図 15】



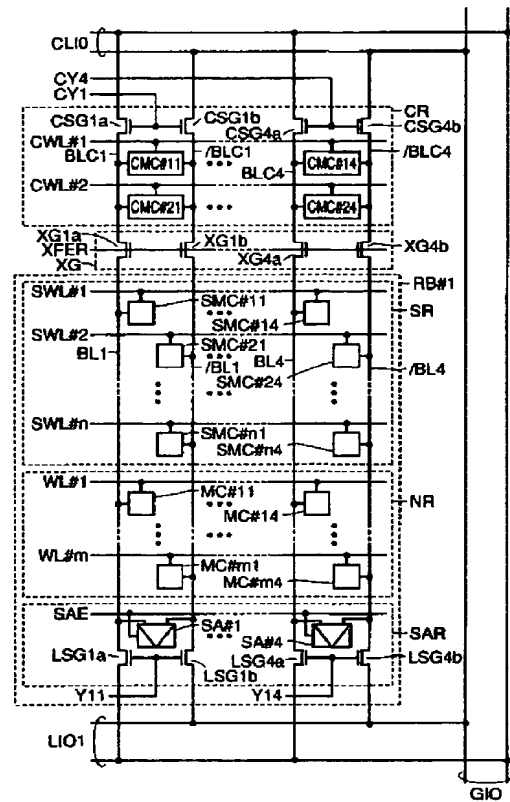
【図 16】



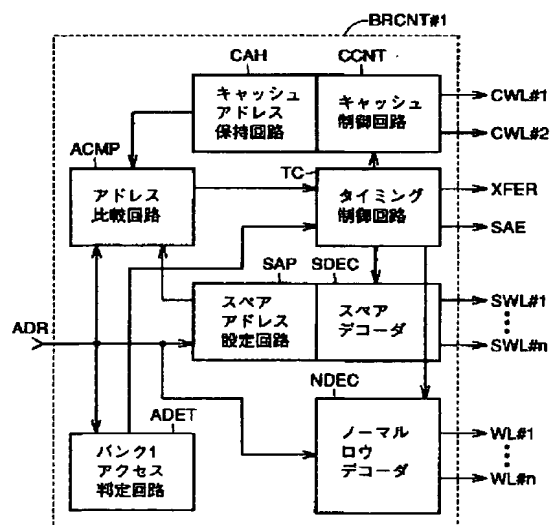
【図17】



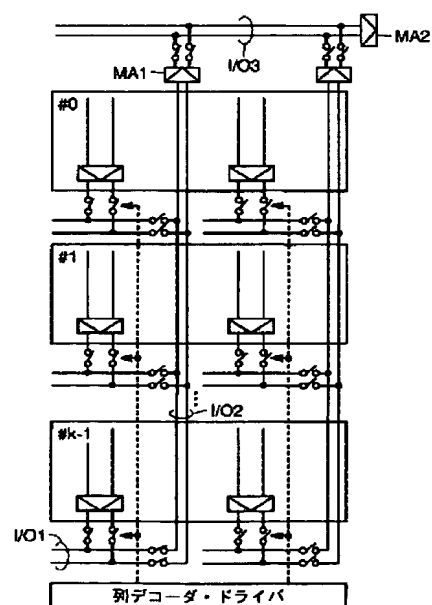
【図19】



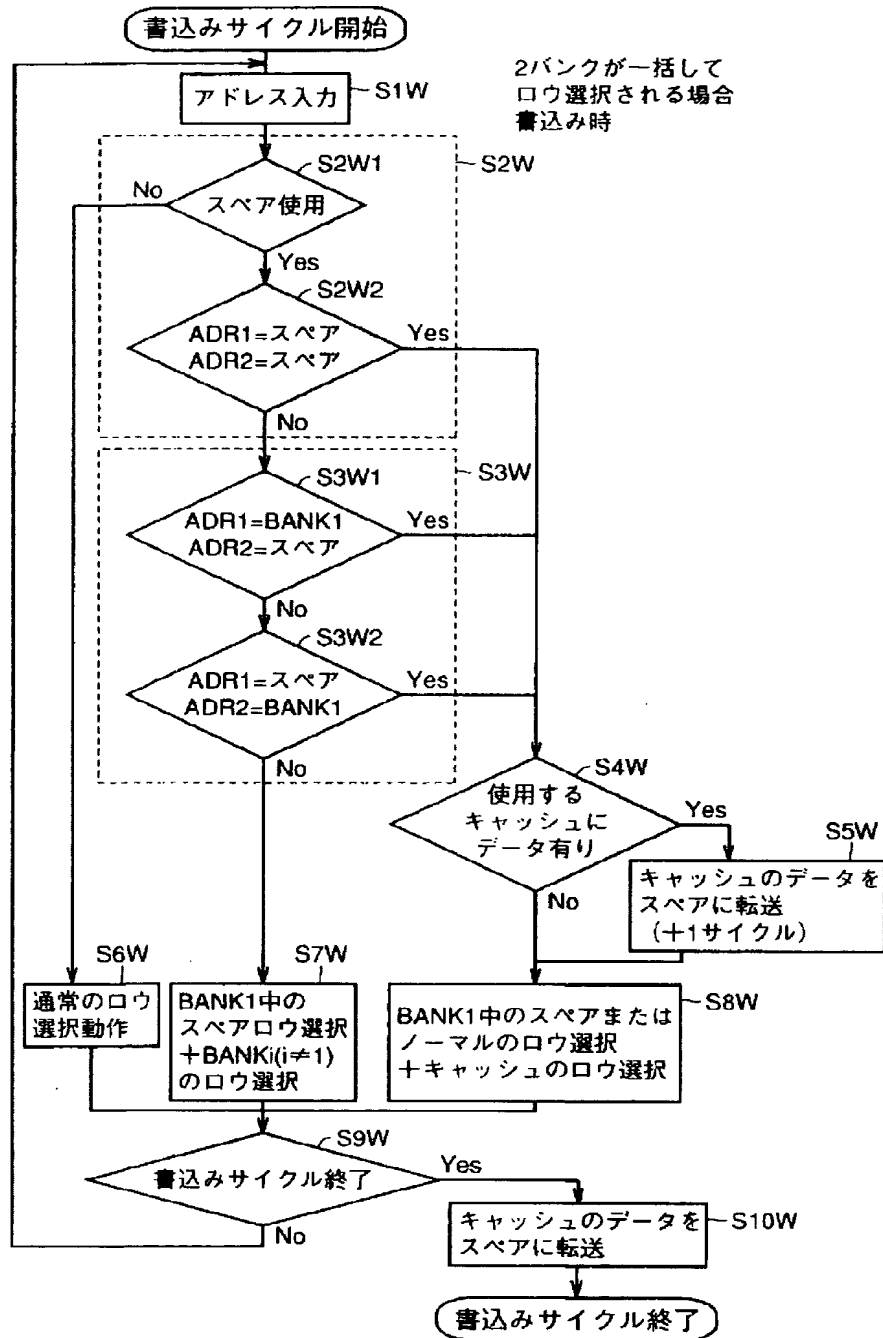
【図20】



【図25】

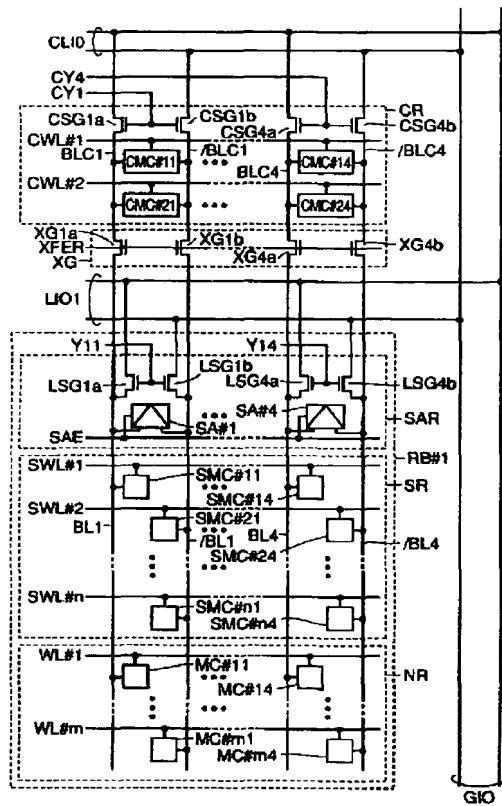


【図18】

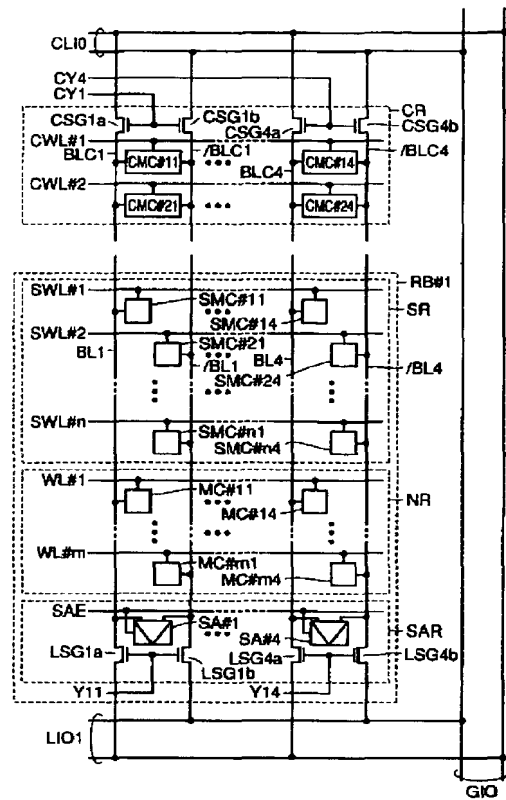




【図 23】



【図 24】



【図 26】

